

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 8 月 12 日 (12.08.2004)

PCT

(10) 国際公開番号
WO 2004/068591 A1

(51) 国際特許分類: H01L 29/84, G01P 15/125
(21) 国際出願番号: PCT/JP2003/000859
(22) 国際出願日: 2003 年 1 月 29 日 (29.01.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).

の内二丁目2番3号三菱電機株式会社内 Tokyo (JP).
堀川 牧夫 (HORIKAWA, Makio) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号三菱電機株式会社内 Tokyo (JP). 佐藤 公敏 (SATOU, Kimitoshi) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 吉田 茂明, 外 (YOSHIDA, Shigeaki et al.); 〒540-0001 大阪府大阪市中央区城見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).

(81) 指定国 (国内): CN, DE, JP, KR, US.

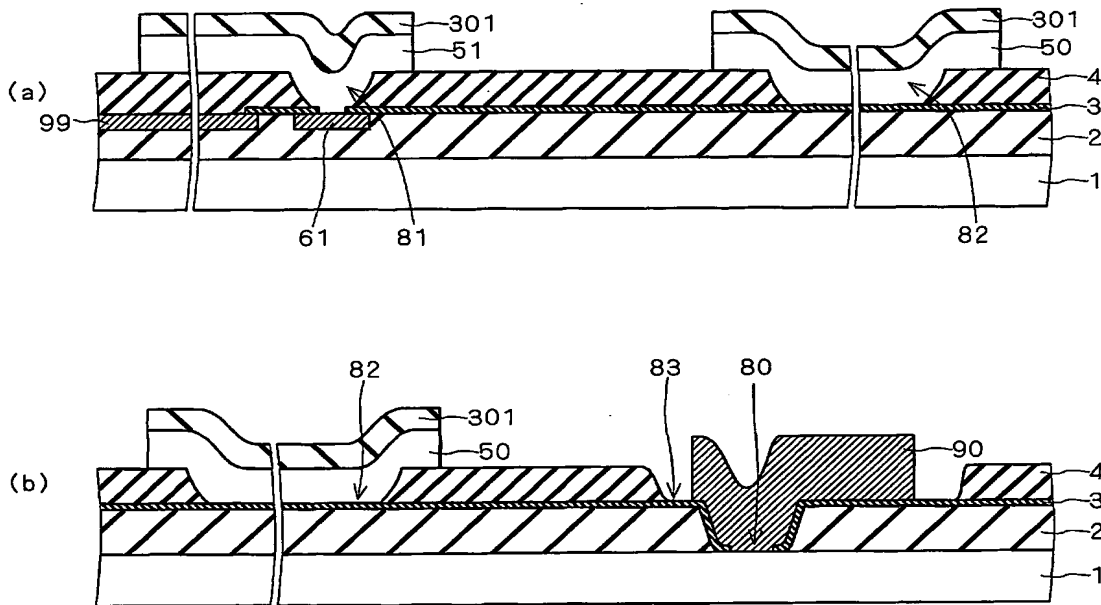
添付公開書類:
— 国際調査報告書

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 奥村 美香 (OKU-MURA, Mika) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE AND ACCELERATION SENSOR

(54) 発明の名称: 半導体装置の製造方法及び加速度センサ



(57) Abstract: A technology for reducing the step coverage of photoresist at the time of forming an electrode being connected with a semiconductor substrate, e.g. a silicon substrate for mounting an acceleration sensor. An opening (80) for forming an electrode (90) is formed before a sacrifice layer (4), a semiconductor film (50) or a fixed electrode (51) is formed. A thick photoresist is thereby not required.

(57) 要約: 本発明は半導体基板、例えば加速度センサを搭載するシリコン基板と接続される電極を形成するに際し、フォトリソが覆う段差を低減する技術を提供することを目的とする。

[続葉有]



そして上記目的を達成するために、犠牲層（４）や半導体膜（５０）、固定電極（５１）を形成する前に、電極（９０）を形成するための開口（８０）を形成する。よって厚いフォトリソットを必要としない。

明 細 書

半導体装置の製造方法及び加速度センサ

技術分野

この発明はフォトリソグラフィ技術に関し、例えば梁構造の可動部を有する加速度センサに適用することができる。

背景技術

特許文献 1 には梁構造の可動部を有する加速度センサが紹介されている。加速度センサのセンサエレメント部は梁構造体の一部である可動電極と第 1 及び第 2 の固定電極と、静電気力相殺用固定電極を有している。センサエレメント部はキャップ基板の凹部で覆われて保護される一方、上記 4 つの電極と配線を介して接続される電極取り出し部がキャップ基板の凹部に覆われずに設けられている。

加速度センサの梁構造体は、予めこれを支える犠牲層を形成し、その上に導電層（例えばドーフトポリシリコン）を形成してパターニングし、その後犠牲層を除去して、形成される。よって梁構造を搭載するシリコン基板とのコンタクトを取るための開口を、導電層を形成してから梁構造体と同じ側からフォトリソグラフィ技術を用いて形成する場合、導電層の厚さと犠牲層の厚さとの和程度の段差をフォトレジストが良好に覆う必要がある。ここで導電層はそれ自身が 3.5 ～ 4.0 μm 程度の厚さを有し、犠牲層も 2.0 ～ 2.5 μm 程度の厚さを有し、両者の厚さの和は 5 μm を越える。よってかかる段差を良好に被覆するためにはフォトレジストの厚さを厚くすることが望ましい。

しかし一般にフォトレジストを厚く形成するとクラックが生じやすい。クラックを回避して厚いフォトレジストを形成するためには、フォトレジストを複数回に分けて塗布することが望ましい。また厚いフォトレジストをエッチングのマスクとして用いる場合には、当該エッチングにおけるエッチングレートの低下という問題も招来し、エッチングの回数を多く必要としてしまう。

なお、コンタクト孔の上部にテーパを設けたコンタクト孔の形成方法に関して

特許文献 2 がある。また上層の金属配線を配設し易くするために複数種の層間膜を積層させ、平坦化し、かつその膜のエッチングレートの差を利用してコンタクト孔にテーパを設け、金属配線の被覆性を向上させる技術に関して特許文献 3 がある。

特許文献 1：特開 2 0 0 1－1 1 9 0 4 0 号公報

特許文献 2：特開平 8－2 7 4 0 6 6 号公報

特許文献 3：特開平 5－1 9 0 6 9 0 号公報

発明の開示

本発明は、半導体基板、例えば加速度センサを搭載するシリコン基板と接続される電極を形成するに際し、フォトレジストが覆う段差を低減する技術を提供することを目的とする。

本発明に係る半導体装置の第 1 の製造方法は、工程 (a) 乃至 (i) を備える。工程 (a) においては半導体基板 (1) 上に設けられた絶縁層 (2) の表面に配線 (6 1) を形成し、工程 (b) においては前記絶縁層を選択的に除去して前記半導体基板を露出させる第 1 開口 (8 0) を設け、工程 (c) においては前記工程 (b) の後、前記絶縁層の上方に、前記配線の央部を露出させる第 2 開口 (8 1) と、前記第 1 開口を含んでこれよりも広い第 3 開口 (8 3) とを有する犠牲層 (4) を形成し、工程 (d) においては前記工程 (c) で得られた構造の全面に導電性半導体 (5) を形成し、工程 (e) においては前記導電性半導体上に第 1 のマスク (3 0 1) を形成し、工程 (f) においては前記第 1 のマスクを用いて前記導電性半導体のエッチングを行って、前記配線に接続される第 1 電極 (5 1) を形成し、工程 (g) においては前記工程 (f) で得られた構造の全面に導電膜 (9) を形成し、工程 (h) においては前記導電膜を選択的に除去して前記第 1 開口において前記半導体基板と接触する第 2 電極 (9 0) を形成し、工程 (i) においては前記犠牲層を除去する。

本発明に係る半導体装置の第 1 の製造方法によれば、工程 (d) の前に工程 (b) を行うので、第 1 開口を行うためのエッチングマスクとなるフォトレジストを厚くする必要がない。

本発明に係る半導体装置の第2の製造方法は、工程（a）乃至（i）を備える。工程（a）においては局所的に突出した凸部（1a）を有する半導体基板（1）の表面に、前記凸部を露出させる絶縁層（2）を形成し、工程（b）においては前記絶縁層（2）の表面に配線（61）を形成し、工程（c）においては前記絶縁層の上方に、前記配線の央部を露出させる第1開口（81）と、前記凸部の央部を露出させる第2開口（83）とを有する犠牲層（4）を形成し、工程（d）においては前記工程（c）で得られた構造の全面に導電性半導体（5）を形成し、工程（e）においては前記導電性半導体上に第1のマスク（301）を形成し、工程（f）においては前記第1のマスクを用いて前記導電性半導体のエッチングを行って、前記配線に接続される第1電極（51）を形成し、工程（g）においては前記工程（f）で得られた構造の全面に導電膜（9）を形成し、工程（h）においては前記導電膜を選択的に除去して前記凸部と接触する第2電極（90）を形成し、工程（i）においては前記犠牲層を除去する。

本発明に係る半導体装置の第2の製造方法によれば、第2電極を形成するための開口を形成しないので、厚いフォトレジストを必要としない。

本発明に係る半導体装置の第3の製造方法は、工程（a）乃至（i）を備える。工程（a）においては半導体基板（1）上に絶縁層（2）を形成し、工程（b）においては前記絶縁層の上方に、第1開口（83）を有する第1犠牲層（4）を形成し、工程（c）においては前記犠牲層上に第1電極（51，53c）を形成し、工程（d）においては前記工程（c）で得られた構造の全面に第2犠牲膜（11）を形成し、工程（e）においては少なくとも前記第2犠牲膜のエッチバックを行い、工程（f）においては前記工程（e）で得られた構造を、前記第1開口よりも内側で開口する第2開口（86）を有するフォトレジスト（305）で覆い、工程（g）においては前記フォトレジストをマスクとして前記第2犠牲膜をエッチングし、工程（h）においては前記工程（g）で開口した範囲において前記半導体基板に接触する第2電極（90）を形成し、工程（i）においては前記第1犠牲層及び第2犠牲層を除去する。

本発明に係る半導体装置の第3の製造方法によれば、第2電極を形成する前に、予め第2犠牲層で表面の凹凸を緩和しているので、フォトレジストを厚くする必

要がない。

本発明に係る半導体装置の第4の製造方法は、工程(a)乃至(g)を備える。工程(a)においては半導体基板(1)上に絶縁層(2)を形成し、工程(b)においては前記絶縁層の上方に、第1開口(83)を有する第1犠牲層(4)を形成し、工程(c)においては前記犠牲層上に第1電極(51, 53c)と、前記第1電極と前記第1開口の間に設けられるダミ一体(54)を形成し、工程(d)においては前記工程(c)で得られた構造上に、前記第1開口の内側で開口する第2開口(86)を有するフォトレジスト(307)を形成し、工程(e)においては前記フォトレジストをマスクとして前記絶縁層をエッチングし、前記半導体基板を露出させ、工程(f)においては露出した前記半導体基板に接触する第2電極(90)を形成し、工程(g)においては前記犠牲層を除去する。

本発明に係る半導体装置の第4の製造方法によれば、ダミ一体が存在することにより、第1開口におけるフォトレジストの膜厚低下を抑制でき、フォトレジストの厚さを厚くする必要がない。

本発明に係る第1の加速度センサは、半導体基板(1)と、絶縁層(2)と、固定電極(51)と、基板電極(90)とを備える。前記半導体基板は凸部(1a)を有し、前記絶縁層(2)は前記半導体基板上に設けられて前記凸部の頂面を露出し、前記固定電極(51)は前記絶縁層の上方に設けられ、前記基板電極は前記半導体基板の前記凸部の前記頂面において前記半導体基板と接触する。

本発明に係る第1の加速度センサを製造する際、基板電極を形成するための開口を形成しないので、厚いフォトレジストを必要としない。

本発明に係る第2の加速度センサは、固定電極(51)と、可動電極(53)を有し、前記固定電極(51)と、可動電極(53)との間の距離が4 μ m以下である。

本発明に係る第2の加速度センサには、フォトレジストの膜厚が薄くても、被覆性良く固定電極及び可動電極を覆うことができる。

この発明の目的、特徴、局面、及び利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

図 1 は本発明の実施の形態 1 にかかる製造方法を適用可能な、加速度センサの構造の一部を示す平面図である。

図 2 (a), (b) はそれぞれ図 1 の位置 A A 及び位置 B B における断面図である。

図 3 乃至図 11 は実施の形態 1 において加速度センサを製造する方法を工程順に示す断面図である。

図 12 は本発明の実施の形態 1 の利点を説明するための断面図である。

図 13 は本発明の実施の形態 2 にかかる製造方法を適用可能な、加速度センサの構造の一部を示す平面図である。

図 14 (a), (b) はそれぞれ図 13 の位置 E E 及び位置 F F における断面図である。

図 15 乃至図 23 は実施の形態 2 において加速度センサを製造する方法を工程順に示す断面図である。

図 24 は本発明の実施の形態 3 にかかる製造方法を適用可能な、加速度センサの構造の一部を示す断面図である。

図 25 乃至図 34 は実施の形態 3 において加速度センサを製造する方法を工程順に示す断面図である。

図 35 及び図 36 は本発明の実施の形態 4 を示す断面図である。

図 37 は本発明の実施の形態 5 を示す断面図である。

図 38 は本発明の実施の形態 5 を示すグラフである。

発明を実施するための最良の形態

実施の形態 1.

図 1 は本発明の実施の形態 1 にかかる製造方法を適用可能な、加速度センサの構造の一部を示す平面図である。図 2 (a), (b) はそれぞれ図 1 の位置 A A

及び位置 B B における断面図である。半導体基板 1 上には絶縁層 2、絶縁膜 3 がこの順に積層され、基板 100 を構成している。半導体基板 1、絶縁層 2、絶縁膜 3 は、それぞれ例えばシリコン、酸化シリコン、窒化シリコンが採用される。

絶縁膜 3 はシールド膜 99 を露出させる開口 31 を有しており、開口 31 において質量体 53 が設けられている。質量体 53 は、可動電極 53a、支柱 53b 及び弾性部 53c を有している。支柱 53b はその両端が基板 100 に固定されており、当該端部を除いた支柱 53b 及び可動電極 53a、弾性部 53c は絶縁層 2 と離れて懸架されている。図 1 では支柱 53b の一端のみが示されている。可動電極 53a は支柱 53b の両端の間で支柱 53b から図中左右方向へと櫛歯上に延びている。弾性部 53c も支柱 53b の両端の間で支柱 53b から図中左右方向に延びて支柱 53b へと戻っており、ヘアピンカーブを描いている。弾性部 53c は図中上下方向に弾性変形が容易であるので、支柱 53b は外力を受けて図中上下方向に移動するが、外力がなくなれば弾性部 53c の復元力によって所定の位置に戻る。従って弾性部 53c も同様に移動する。なお、支柱 53b の両端は開口 31 の外側で基板 100 に固定されていてもよい。

固定電極 51, 52 は図中上下方向に交互に複数設けられる。これらのそれぞれの一端は開口 31 において絶縁層 2 と離れて懸架されている。固定電極 51, 52 の当該一端は可動電極 53a と所定の空隙を開けて交互に噛み合っている。固定電極 51, 52 の他端はいずれも開口 31 の外側において基板 100 に固定される。固定電極 51, 52 及び質量体 53 は例えば同じフォトリソグラフィ工程で形成されるポリシリコンが採用される。

固定電極 51, 52 及び質量体 53 を保護するため、これらは図示されない凹部を有するキャップで覆われる。かかるキャップを基板 100 に接合するために、絶縁膜 3 上には開口 31 を取り囲む半導体膜 50 が設けられる。例えばキャップがシリコンで形成されていれば、半導体膜 50 は固定電極 51, 52 及び質量体 53 と同じフォトリソグラフィ工程で形成されるポリシリコンが採用される。

固定電極 51 同士は配線 61 で、固定電極 52 同士は配線 62 で、それぞれ接続される。また可動電極 53a は支柱 53b を介して配線 63 に接続される。配線 61, 62、シールド膜 99 は絶縁層 2 の上面（絶縁膜 3 が接する側の面）に

において形成される。これらは例えば、同じフォトリソグラフィ工程で形成されるポリシリコンが採用される。絶縁膜 3 は配線 6 1, 6 2 を露出させる。固定電極 5 1, 5 2 は外力を受けても移動しない。よって固定電極 5 1 と可動電極 5 3 a との間に生じる静電容量及び固定電極 5 2 と可動電極 5 3 a との間に生じる静電容量に基づいて、外力の大きさを知ることができる。

かかる静電容量を外部から検出可能とするために、配線 6 1, 6 3 は更に、半導体膜 5 0 に関して開口 3 1 とは反対側に設けられた外部電極 9 1, 9 3 とそれぞれ接続される。配線 6 2 も同様にして、半導体膜 5 0 に関して開口 3 1 とは反対側に設けられた外部電極（図示せず）と接続される。

更に、半導体 1 と接続される電極 9 0 が、半導体膜 5 0 に関して開口 3 1 とは反対側に設けられる。電極 9 0 は、半導体基板 1 の電位を測定、あるいは外部から決定する機能を有する。例えば加速度センサにおける基板電極として機能する。

次に、上記の構造を有する加速度センサを製造する方法を、図 3 乃至図 11 を用いて工程順に追って説明する。但し、各図において (a), (b) と採番された図面は、それぞれ図 1 の位置 A A 及び位置 B B に相当する位置での断面を示している。

まず図 3 に示されるように、半導体基板 1 上に絶縁層 2 を形成する。そして配線 6 1、シールド膜 9 9 が敷設されるべき位置の絶縁層 2 の表面をエッチングにて除去し、その後に配線 6 1、シールド膜 9 9 を形成する。配線 6 1、シールド膜 9 9 の表面は、絶縁層 2 の表面とほぼ平坦に形成される。図 3 には現れないが配線 6 2, 6 3 も配線 6 1、シールド膜 9 9 と同様にして形成される。

次に図 4 に示されるように、絶縁層 2 を選択的に除去して半導体基板 1 を露出させる開口 8 0 を設ける。開口 8 0 において半導体基板 1 と接続する電極 9 0 が後の工程で設けられる。図 4 に示される構造においては絶縁層 2、配線 6 1、シールド膜 9 9 の表面がほぼ平坦である。図 4 には現れないが、同様にして、配線 6 2, 6 3 の表面は絶縁層 2 の表面とほぼ平坦である。従って、開口 8 0 を形成するためのエッチングマスクとなるフォトレジストは薄くても、これらの表面を良好に被覆することができる。フォトレジストを厚く形成する際に生じやすいクラックを回避するためには、フォトレジストを複数回に分けて塗布することが望

ましい。開口 80 を形成するためのエッチングマスクとなるフォトレジストは複数回に分けて塗布する必要がない。また厚いフォトレジストをエッチングマスクとして用いる場合に生じやすい、エッチングレートの低下という問題も招来しない。

次に図 5 に示されるように、図 4 に示された構造の上側に（つまり半導体基板 1 とは反対側に）選択的に絶縁膜 3 を選択的に設ける。絶縁層 3 は絶縁層 2 を選択的に覆う。具体的には絶縁膜 3 は開口 80 において現れる絶縁層 2 の端面をも覆うが、配線 61 の頂面の央部（以下、配線 61 のみならず他の構成要素においても、頂面の央部を単に「央部」と称す）、開口 80 において現れる半導体基板 1 の央部を露出させる。更に絶縁膜 3 はシールド膜 99 を露出させる開口 31 を有する。絶縁膜 3 は図 4 に示された構造に対して全面的に形成された後、フォトレジストをエッチングマスクとして採用するエッチングによって選択的に除去して、図 5 に示された構造を得ることができる。当該エッチングマスクとなるフォトレジストが被覆すべき段差は絶縁層 2 の膜厚程度で済むので、フォトレジストを複数回に分けて塗布する必要がなく、またエッチングレートの低下という問題も招来しない。なお、絶縁膜 3 が配線 61 の縁部、開口 80 において現れる半導体基板 1 の縁部を覆うのは、後述する犠牲層のエッチングの際に用いられるエッチャントが絶縁層 2 に進入して絶縁層 2 がエッチングされることを防ぐためである。

次に図 6 に示されるように、図 5 に示された構造の上側に犠牲層 4 を選択的に形成する。具体的には犠牲層 4 は配線 61 の上方において（そして図 6 には現れないが、配線 62, 63 の上方においても同様に）絶縁膜 3 の端部及び配線 61 の央部を露出させる開口 81 と、事後の工程で半導体膜 50 を形成すべき位置で絶縁膜 3 を露出させる開口 82 と、開口 80 を含んでこれよりも広範囲で絶縁膜 3 を露出させる開口 83 とを有する。

犠牲層 4 は図 5 に示された構造に対して全面的に形成された後、フォトレジストをエッチングマスクとして採用するエッチングによって選択的に除去して、図 6 に示された構造を得ることができる。当該エッチングマスクとなるフォトレジストが被覆する段差は絶縁層 2 の膜厚程度で済むので、フォトレジストを複数回

に分けて塗布する必要がなく、またエッチングレートの低下という問題も招来しない。

次に図7に示されるように、図6に示された構造の上側にドーフトポリシリコン膜5、TEOS (Tetra Ethyle Ortho Silicate) を原材料とするシリコン酸化膜（以下「TEOS膜」と称す）301をこの順に積層する。そしてTEOS膜301上にフォトレジスト302を塗布し、パターニングを行って、半導体膜50、固定電極51、52、質量体53を形成すべき位置にフォトレジスト302を残す。フォトレジスト302が被覆すべき段差は開口80近傍において絶縁層2の膜厚と犠牲層4の膜厚との和程度となる。しかしながら、残置すべきフォトレジスト302が覆う段差は犠牲層4の膜厚程度に過ぎず、開口80近傍でフォトレジスト302の被覆性が悪化してもその後の処理には差し支えない。よってフォトレジスト302の厚さを薄くすることができる。次にフォトレジスト302をエッチングマスクとしてTEOS膜301のエッチングを行ってパターニングを行う（図8）。

次に残置されたTEOS膜301をハードマスクとして用いて、ドーフトポリシリコン膜5のエッチングを行って、図9に示されるように半導体膜50、固定電極51を形成する。当該エッチングにより、TEOS膜301の膜厚は、例えば60%程度にまで減少する場合もある。図9には現れないが、固定電極52、質量体53も同様に形成される。開口83近傍では、絶縁膜3及びこれが露出させる半導体基板1が露出する。

次に図10に示されるように、図9に示された構造に対して全面的に金属膜9を形成する。金属膜9は例えばシリコンを含むアルミ合金が採用される。そして電極90が形成されるべき位置では、パターニングされたフォトレジスト303が金属膜9を覆う。電極90は開口83内に残置されればよく、犠牲層4上に形成する必要はない。よってフォトレジスト303が被覆すべき段差は絶縁層2の膜厚程度で済み、フォトレジストを複数回に分けて塗布する必要がなく、またエッチングレートの低下という問題も招来しない。

次に金属膜9をフォトレジスト303をマスクとするエッチングによって選択的に除去し、図11に示されるように半導体基板1に接触する電極90を形成す

る。その後、犠牲層 4 及び T E O S 膜 3 0 1 をエッチングによって除去し、図 2 に示された構造が得られる。例えば犠牲層 4 のエッチングには弗酸を用いたウェットエッチングが採用される。

図 1 2 は本発明の実施の形態 1 の利点を説明するための断面図である。もしも半導体膜 5 0、固定電極 5 1（そして図には現れないが固定電極 5 2、質量体 5 3 も）が形成されてから電極 9 0 を半導体基板 1 にコンタクトさせるための開口 8 0 を得ようとするのならば、開口 8 0 を形成すべき位置において開口するフォトレジスト 3 0 4 を形成しなければならない。フォトレジスト 3 0 4 は開口 8 3 において絶縁膜 3 を覆い、かつ半導体膜 5 0、固定電極 5 1 をも覆うので、被覆すべき段差は半導体膜 5 0、固定電極 5 1 の厚さ（従ってドーフトポリシリコン膜 5 の厚さ）と犠牲層 4 の厚さとの和程度にも至り、フォトレジスト 3 0 4 を厚くする必要がある。しかしながらフォトレジスト 3 0 4 を厚くすると、上述のクラックの問題及びこれを回避するために複数回の塗布工程を必要とする問題や、エッチングレートの低下という問題が懸念される。

これに対して本件によれば、犠牲層 4 や半導体膜 5 0、固定電極 5 1 を形成する前に、電極 9 0 を形成するための開口 8 0 を形成しているので、厚いフォトレジストを必要としない利点がある。

実施の形態 2.

図 1 3 は本発明の実施の形態 2 にかかる製造方法を適用可能な、加速度センサの構造の一部を示す平面図である。また図 1 4 (a), (b) はそれぞれ図 1 3 の位置 E E 及び位置 F F における断面図である。図 1 3 の位置 E E 及び位置 F F はそれぞれ図 1 の位置 A A 及び位置 B B に相当する。

本実施の形態における加速度センサは、実施の形態 1 における加速度センサと比較して、電極 9 0 が半導体基板 1 に到達するために、電極 9 0 が絶縁層 2 を貫通するのではなく、半導体基板 1 が絶縁層 2 を貫通している点で特徴的に異なっている。

上記の構造を有する加速度センサを製造する方法を、図 1 5 乃至図 2 3 を用いて工程順に追って説明する。但し、各図において (a), (b) と採番された図面は、それぞれ図 1 3 の位置 E E 及び位置 F F に相当する位置での断面を示して

いる。

まず図 1 5 に示されるように、半導体基板 1 を準備する。後に電極 9 0 が設けられる位置において、半導体基板 1 は局所的に突出した凸部 1 a を有している。かかる凸部 1 a を形成するための処理の例としては、後に電極 9 0 が設けられる位置をマスクして異方性エッチングを行って、マスクされていない部分の半導体基板 1 の厚さを減少させることを挙げることができる。

次に図 1 6 に示されるように、半導体基板 1 の凸部 1 a を有する側の面（以下「表面」と称する）上に絶縁層 2 を形成する。絶縁層 2 は凸部 1 a の近傍において、凸部 1 a の形状を反映して盛り上がる。

次に絶縁層 2 をエッチバックして平坦化し、凸部 1 a の頂面を露出させる。更に配線 6 1、シールド膜 9 9 が敷設されるべき位置の絶縁層 2 の表面をエッチングにて除去し、その後に配線 6 1、シールド膜 9 9 を形成する。配線 6 1、シールド膜 9 9 の表面は、絶縁層 2 の表面とほぼ平坦に形成される。更に絶縁層 2 及び配線 6 1、シールド膜 9 9 の上に選択的に絶縁膜 3 を選択的に設ける。具体的には絶縁膜 3 はシールド膜 9 9 を露出させる開口 3 1 を有し、更に配線 6 1 及び凸部 1 a の央部を露出させる。絶縁膜 3 は図 1 6 に示された構造に対して全面的に形成された後、フォトリジストをエッチングマスクとして採用するエッチングによって選択的に除去して、図 1 7 に示された構造を得ることができる。当該フォトリジストについても、実施の形態 1 で説明したように、これを複数回に分けて塗布する必要がなく、またエッチングレートの低下という問題も招来しない。図 1 7 には現れないが配線 6 2，6 3 も配線 6 1 と同様に形成される。

次に図 1 8 に示されるように、図 1 7 に示された構造の上側に犠牲層 4 を選択的に形成する。具体的には犠牲層 4 は配線 6 1 の上方において（そして図 1 8 には現れないが、配線 6 2，6 3 の上方においても同様に）絶縁膜 3 の端部及び配線 6 1 の央部を露出させる開口 8 1 と、事後の工程で半導体膜 5 0 を形成すべき位置で絶縁膜 3 を露出させる開口 8 2 と、凸部 1 a の央部及びその周囲の絶縁膜 3 を露出させる開口 8 3 とを有する。

犠牲層 4 は図 1 7 に示された構造に対して全面的に形成された後、フォトリジストをエッチングマスクとして採用するエッチングによって選択的に除去して、

図 18 に示された構造を得ることができる。当該エッチングマスクについても、実施の形態 1 で説明したように、これを複数回に分けて塗布する必要がなく、またエッチングレートの低下という問題も招来しない。

次に図 19 に示されるように、図 18 に示された構造の上側にドーフトポリシリコン膜 5、TEOS 膜 301 をこの順に積層する。そして TEOS 膜 301 上にフォトレジスト 302 を塗布し、パターニングを行って、半導体膜 50、固定電極 51、52、質量体 53 を形成すべき位置にフォトレジスト 302 を残す。フォトレジスト 302 が被覆すべき段差は犠牲層 4 の膜厚程度に過ぎないので、被覆性が問題とはなりにくく、フォトレジスト 302 の厚さを薄くすることができる。次にフォトレジスト 302 をエッチングマスクとして TEOS 膜 301 のエッチングを行ってパターニングを行う（図 20）。

次に残置された TEOS 膜 301 をハードマスクとして用いて、ドーフトポリシリコン膜 5 のエッチングを行って、図 21 に示されるように半導体膜 50、固定電極 51 を形成する。当該エッチングにより、TEOS 膜 301 の膜厚は、例えば 60% 程度にまで減少する場合もある。図 21 には現れないが、固定電極 52、質量体 53 も同様に形成される。開口 83 近傍では、絶縁膜 3 及びこれが露出させる凸部 1a の央部が露出する。

次に図 22 に示されるように、図 21 に示された構造に対して全面的に金属膜 9 を形成し、電極 90 が形成されるべき位置では、パターニングされたフォトレジスト 303 が金属膜 9 を覆う。実施の形態 1 で説明されたように、フォトレジスト 303 を複数回に分けて塗布する必要がなく、またエッチングレートの低下という問題も招来しない。

次に金属膜 9 をフォトレジスト 303 をマスクとするエッチングによって選択的に除去し、図 23 に示されるように電極 90 を形成する。その後、犠牲層 4 及び TEOS 膜 301 をエッチングによって除去し、図 14 に示された構造が得られる。

以上のようにして本実施の形態に例示された加速度センサを製造する際、電極 90 を形成するための開口 80 を形成しないので、厚いフォトレジストを必要としない利点がある。

実施の形態 3.

図 2 4 は図 1 の位置 C C における断面図である。当該断面においては、シールド膜 9 9 を露出させる開口 3 1 の上方において可動電極 5 3 a、弾性部 5 3 c が設けられている。そして絶縁膜 3 が存在する領域において半導体膜 5 0 が設けられ、絶縁層 2 及び絶縁膜 3 を貫通して半導体基板 1 に到達する電極 9 0 が設けられている。

上記の構造を有する加速度センサを製造する方法を、図 2 5 乃至図 3 3 を用いて工程順に追って説明する。但し、各図は図 1 の位置 C C に相当する位置での断面を示している。

まず半導体基板 1 上に絶縁層 2 を設ける。次に電極 9 0 を設けるべき位置の絶縁層 2 の表面をエッチングにて除去して凹部 8 5 を形成する。このエッチングは、シールド膜 9 9 を設けるべき位置及び、位置 C C には現れないが配線 6 1, 6 2, 6 3 を設けるべき位置で絶縁層 2 の表面をエッチングする工程と同一工程で行われる。その後にシールド膜 9 9 及び、位置 C C には現れないが、配線 6 1, 6 2, 6 3 が形成される。その後、開口 3 1 を有する絶縁膜 3 を形成する。絶縁膜 3 は凹部 8 5 をも含んで絶縁層 2 を覆うが、開口 3 1 においてシールド膜 9 9 を露出させる。その後更に、犠牲層 4 を選択的に形成し、更に半導体膜 5 0、固定電極 5 1, 5 2 及び質量体 5 3 を形成する（図 2 5）。但し図 2 5 に示される断面では固定電極 5 1, 5 2 並びに質量体 5 3 の支柱 5 3 b は現れない。犠牲層 4 は開口 8 2, 8 3 を有している。開口 8 2 を介して半導体膜 5 0 が絶縁膜 3 と接触し、開口 8 3 は凹部 8 5 を含んでこれよりも広範囲で絶縁膜 3 を露出させる。

次に、図 2 5 で示された構造の全面に新たに犠牲層 1 1 を設け、図 2 6 に示される構造を得る。犠牲層 1 1 はその下地となる構造において狭い凹部にも入り込んで形成される。当該犠牲層 1 1 は例えばシリコン酸化膜が採用され、特に P S G (phospho-silicate glass) 膜あるいは B P S G (boro-phospho-silicate glass) 膜を採用することが望ましい。低温処理が可能であり、膜厚を厚くすることが容易であり、かつ応力を低減できるからである。犠牲層 1 1 はエッチバックされ、犠牲層 4 及び絶縁膜 3 を覆いつつも半導体膜 5 0、固定電極 5 1, 5 2 及び質量体 5 3 の上面が露出し、図 2 7 に示された構造が得られる。

その後、図 27 に示された構造の全面にフォトレジスト 305 を設ける。但しフォトレジスト 305 は、凹部 85 よりも内側で開口する開口 86 がパターンニングされている（図 28）。犠牲層 11 が開口 83 において残置しており、従ってフォトレジスト 305 が被覆すべき段差は、犠牲層 11 が設けられていない場合よりも小さくなる。よってフォトレジスト 305 の厚さを低減することができる。

次にフォトレジスト 305 をエッチングマスクとして犠牲層 11 のエッチングを行い、犠牲層 11 を開口 86 において除去する。つまり犠牲層 11 は開口 86 において、凹部 85 よりも狭い領域で絶縁膜 3 を露出させる（図 29）。

その後、フォトレジスト 305 をエッチングマスクとして、図 30 に示されるように絶縁膜 3 及び絶縁層 2 を選択的にエッチングし、開口 86 と同様に、開口 85 よりも内側で開口する開口 87 において半導体基板 1 を露出させる。更に図 31 に示されるように全面に金属膜 9 を形成して開口 87 において露出した半導体基板 1 と金属膜 9 が接触する。そして図 32 に示されるように開口 86 と開口 87 よりも外側で、例えば開口 85 よりも外側で金属膜 9 を覆うエッチングマスクをフォトレジスト 306 を用いて形成する。そしてフォトレジスト 306 をエッチングマスクとして金属膜 9 をエッチングして図 33 に示されるように電極 90 を形成する。この後、犠牲層 4, 11 及び TEOS 膜 301 を除去して図 24 に示される構造を得る。

図 34 は本実施の形態の変形を示す断面図である。犠牲層 11 をエッチバックした後、更に SOG 膜 12 を成膜し、犠牲層 11 の窪みを埋め込むことも望ましい。これにより、その後に設けられるフォトレジスト 305 が被覆すべき段差を一層低減することができる。

以上のようにして本実施の形態によれば、電極 90 を形成する前に、予め犠牲層 11 で表面の凹凸を緩和しているので、フォトレジスト 305 を厚くする必要がない利点がある。

なお、開口 87 は絶縁膜 3 及び絶縁層 2 を選択的にエッチングすることによって形成され、開口 87 が形成されることによって、電極 90 と接触する位置で半導体基板 1 が露出する。従って必ずしも凹部 85 を予め形成しておかなくても本実施の形態を適用することができる。しかしながら、開口 87 を形成する際に絶

縁膜 2 をエッチングする量を低減するためには、凹部 8 5 を予め形成しておくことが望ましい。

実施の形態 4 .

図 3 5 は本実施の形態を示す断面図であり、実施の形態 3 の図 2 5 に相当する。本実施の形態では実施の形態 3 で説明された工程のうち、半導体膜 5 0、固定電極 5 1、5 2 及び質量体 5 3 を形成する際、ダミ一体 5 4 をも併せて形成する。ダミ一体 5 4 は加速度センサの機能に対して寄与する必要はない。ダミ一体 5 4 は固定電極 5 1、質量体 5 3、半導体膜 5 0 と、開口 8 3 との間において犠牲層 4 上に設けられる。しかし半導体膜 5 0、固定電極 5 1、5 2 及び質量体 5 3 とは異なり、いずれかの位置で絶縁膜 2 あるいは絶縁膜 3 に接触する必要はない。従って、犠牲層 4 に接して設け、後の工程において犠牲層 4 を除去する際に、犠牲層 4 と共に除去することも可能である。

図 3 6 は図 3 5 に示された構造に対して、開口 8 6 がパターニングされたフォトレジスト 3 0 7 を形成した構造を示している。電極 9 0 が形成されるべき位置（図 3 6 では凹部 8 5 が形成されている位置）に対して、ダミ一体 5 4 が固定電極 5 1、質量体 5 3、半導体膜 5 0 よりも近い。よってダミ一体 5 4 が設けられている場合の方が、設けられていない場合と比較して、電極 9 0 が形成されるべき位置近傍でフォトレジスト 3 0 7 の厚さが減少することによる加速度センサへの悪影響を抑制できる。しかも、フォトレジスト 3 0 7 の被覆性が悪くダミ一体 5 4 が覆われなくてもよい。半導体膜 5 0 とは異なり、ダミ一体 5 4 がフォトレジスト 3 0 7 に覆われない結果ダミ一体 5 4 がエッチングされても、加速度センサの構成には影響がないからである。

この後、フォトレジスト 3 0 7 をマスクとして絶縁膜 3、絶縁層 2 をエッチングし、半導体基板 1 を露出させる。そして金属膜 9 を全面に堆積して選択的にエッチングすることにより、露出した半導体基板 1 に接触する電極 9 0 を形成し、犠牲膜 4 を除去する。

よって本実施の形態によれば、フォトレジスト 3 0 7 の厚さを厚くする必要がない利点がある。

実施の形態 5 .

図 37 は図 36 に示される処理が行われているときの、図 1 の位置 D D に相当する断面図である。半導体基板 1 上に絶縁膜 2、シールド膜 99、絶縁膜 3、犠牲層 4 がこの順に積層され、犠牲層 4 上には固定電極 51, 52 並びに弾性部 53c 及び可動電極 53a が形成されている。但し図 37 に示された断面ではダミ一体 54 は現れない。また、フォトリジスト 307 が薄く形成され、フォトリジスト 307 の表面が固定電極 51, 52 並びに弾性部 53c 及び可動電極 53a の形状を反映して凹凸を有している場合が示されている。

このようにフォトリジスト 307 が薄い場合、固定電極 51, 52 並びに弾性部 53c 及び可動電極 53a の肩 J、即ち固定電極 51, 52 並びに弾性部 53c 及び可動電極 53a の頂面の端部 J において、フォトリジスト 307 の膜厚は最も薄くなる。しかしながら、固定電極 51, 52 及び可動電極 53a の間の距離や、可動電極 53a と弾性部 53c との間の距離である距離 d を狭くすることにより、肩 J でのフォトリジスト 307 の膜厚が薄くなることを避けることができる。

図 38 は固定電極 51, 52 並びに弾性部 53c 及び可動電極 53a の高さ h を $3.5\mu\text{m}$ とした場合の、肩 J におけるフォトリジスト 307 の膜厚 t と距離 d との関係を示すグラフである。記号丸、四角、三角はそれぞれフォトリジスト 307 の平坦部における膜厚が、 $2.5\mu\text{m}$ 、 $3.0\mu\text{m}$ 、 $3.5\mu\text{m}$ の場合を示している。一般的に、平坦部において一回の塗布によって得られるフォトリジスト 307 の膜厚が $3.5\mu\text{m}$ 以下である。一方、後の工程で絶縁膜 2, 3 を除去する際にドライエッチングを採用することを考慮すると、ダミ一体 54 近傍を除いてフォトリジスト 307 は 500nm 程度必要である。従って図 38 から、距離 d は $4\mu\text{m}$ 以下であることが望ましいと結論づけることができる。

以上のように、本実施の形態では、固定電極と可動電極（弾性部を含む）との間の距離を $4\mu\text{m}$ 以下とすることにより、これらを覆うフォトリジスト 307 の膜厚は薄くても被覆性がよく、複数回に分けて塗布する必要がないという利点がある。図 37 には現れないが、本実施の形態においても実施の形態 4 と同様に、ダミ一体 54 を設けることが望ましい。

この発明は詳細に説明されたが、上記した説明は、すべての局面において、例

示であって、この発明がそれに限定されるものではない。例示されていない無数の変形例が、この発明の範囲から外れることなく想定され得るものと解される。

請求の範囲

1. (a) 半導体基板 (1) 上に設けられた絶縁層 (2) の表面に配線 (61) を形成する工程と、

(b) 前記絶縁層を選択的に除去して前記半導体基板を露出させる第1開口 (80) を設ける工程と、

(c) 前記工程 (b) の後、前記絶縁層の上方に、前記配線の中央部を露出させる第2開口 (81) と、前記第1開口を含んでこれよりも広い第3開口 (83) とを有する犠牲層 (4) を形成する工程と、

(d) 前記工程 (c) で得られた構造の全面に導電性半導体 (5) を形成する工程と、

(e) 前記導電性半導体上に第1のマスク (301) を形成する工程と、

(f) 前記第1のマスクを用いて前記導電性半導体のエッチングを行って、前記配線に接続される第1電極 (51) を形成する工程と、

(g) 前記工程 (f) で得られた構造の全面に導電膜 (9) を形成する工程と、

(h) 前記導電膜を選択的に除去して前記第1開口において前記半導体基板と接触する第2電極 (90) を形成する工程と、

(i) 前記犠牲層を除去する工程と
を備える、半導体装置の製造方法。

2. 前記工程 (b) と前記工程 (c) の間で実行され、

(j) 前記配線の中央部及び前記第1開口の中央部を露出する絶縁膜 (3) を形成する工程
を更に備え、

前記犠牲層は前記配線の上方において前記絶縁膜の端部を露出させる、請求範囲第1項記載の半導体装置の製造方法。

3. 前記工程 (e) は、

(e-1) 前記導電性半導体上に酸化膜 (301) を形成する工程と、

(e-2) 前記第1電極が形成されるべき位置を覆うフォトリジスト (302) を形成する工程と、

(e-3) 前記フォトリジストを第2のマスクとして前記酸化膜のエッチングを行って、前記第1のマスクを形成する工程と
を有する、請求範囲第1項記載の半導体装置の製造方法。

4. 前記配線の表面は前記絶縁層の表面とほぼ平坦に形成される、請求範囲第1項記載の半導体装置の製造方法。

5. 前記第1電極は加速度センサの固定電極として機能し、前記第2電極は前記加速度センサの基板電極として機能する、請求範囲第1項記載の半導体装置の製造方法。

6. (a) 局所的に突出した凸部(1a)を有する半導体基板(1)の表面に、前記凸部を露出させる絶縁層(2)を形成する工程と、

(b) 前記絶縁層(2)の表面に配線(61)を形成する工程と、

(c) 前記絶縁層の上方に、前記配線の央部を露出させる第1開口(81)と、前記凸部の央部を露出させる第2開口(83)とを有する犠牲層(4)を形成する工程と、

(d) 前記工程(c)で得られた構造の全面に導電性半導体(5)を形成する工程と、

(e) 前記導電性半導体上に第1のマスク(301)を形成する工程と、

(f) 前記第1のマスクを用いて前記導電性半導体のエッチングを行って、前記配線に接続される第1電極(51)を形成する工程と、

(g) 前記工程(f)で得られた構造の全面に導電膜(9)を形成する工程と、

(h) 前記導電膜を選択的に除去して前記凸部と接触する第2電極(90)を形成する工程と、

(i) 前記犠牲層を除去する工程と

を備える、半導体装置の製造方法。

7. 前記工程(a)は

(a-1) 前記凸部を前記半導体基板の前記表面に形成する工程
を有する、請求範囲第6項記載の半導体装置の製造方法。

8. 前記工程(b)と前記工程(c)の間で実行され、

(j) 前記配線の央部及び前記凸部の央部を露出する絶縁膜(3)を形成する工程

を更に備え、

前記犠牲層は前記配線の上方及び前記凸部の上方において、前記絶縁膜の端部を露出させ、請求範囲第6項記載の半導体装置の製造方法。

9. 前記工程(e)は、

(e-1) 前記導電性半導体上に酸化膜(301)を形成する工程と、

(e-2) 前記第1電極が形成されるべき位置を覆うフォトレジスト(302)を形成する工程と、

(e-3) 前記フォトレジストを第2のマスクとして前記酸化膜のエッチングを行って、前記第1のマスクを形成する工程と
を有する、請求範囲第6項記載の半導体装置の製造方法。

10. 前記配線の表面は前記絶縁層の表面とほぼ平坦に形成される、請求範囲第6項記載の半導体装置の製造方法。

11. 前記第1電極は加速度センサの固定電極として機能し、前記第2電極は前記加速度センサの基板電極として機能する、請求範囲第6項記載の半導体装置の製造方法。

12. (a) 半導体基板(1)上に絶縁層(2)を形成する工程と、

(b) 前記絶縁層の上方に、第1開口(83)を有する第1犠牲層(4)を形成する工程と、

(c) 前記犠牲層上に第1電極(51, 53c)を形成する工程と、

(d) 前記工程(c)で得られた構造の全面に第2犠牲膜(11)を形成する工程と、

(e) 少なくとも前記第2犠牲膜のエッチバックを行う工程と、

(f) 前記工程(e)で得られた構造を、前記第1開口よりも内側で開口する第2開口(86)を有するフォトレジスト(305)で覆う工程と、

(g) 前記フォトレジストをマスクとして前記第2犠牲膜をエッチングする工程と、

(h) 前記工程(g)で開口した範囲において前記半導体基板に接触する第2

電極（９０）を形成する工程と、

（ｉ）前記第１犠牲層及び第２犠牲層を除去する工程とを備える、半導体装置の製造方法。

１３．前記工程（ｅ）は、

（ｅ－１）前記第２犠牲膜のエッチバックを行ってから、全面に絶縁膜（１２）を形成する工程

を有する、請求範囲第１２項記載の半導体装置の製造方法。

１４．前記工程（ｈ）は、

（ｈ－１）前記工程（ｇ）において開口した範囲において前記絶縁層をエッチングして前記半導体基板を露出させる工程と、

（ｈ－２）前記工程（ｈ－１）で得られた構造の全面に導電膜（９）を形成する工程と、

（ｈ－３）前記導電膜を選択的に除去して前記第２電極を形成する工程とを有する、請求範囲１２項記載の半導体装置の製造方法。

１５．前記第１電極は加速度センサの固定電極として機能し、前記第２電極は前記加速度センサの基板電極として機能する、請求範囲第１２項記載の半導体装置の製造方法。

１６．（ａ）半導体基板（１）上に絶縁層（２）を形成する工程と、

（ｂ）前記絶縁層の上方に、第１開口（８３）を有する第１犠牲層（４）を形成する工程と、

（ｃ）前記犠牲層上に第１電極（５１，５３ｃ）と、前記第１電極と前記第１開口の間に設けられるダミーマス（５４）を形成する工程と、

（ｄ）前記工程（ｃ）で得られた構造上に、前記第１開口の内側で開口する第２開口（８６）を有するフォトリソ（３０７）を形成する工程と、

（ｅ）前記フォトリソをマスクとして前記絶縁層をエッチングし、前記半導体基板を露出させる工程と、

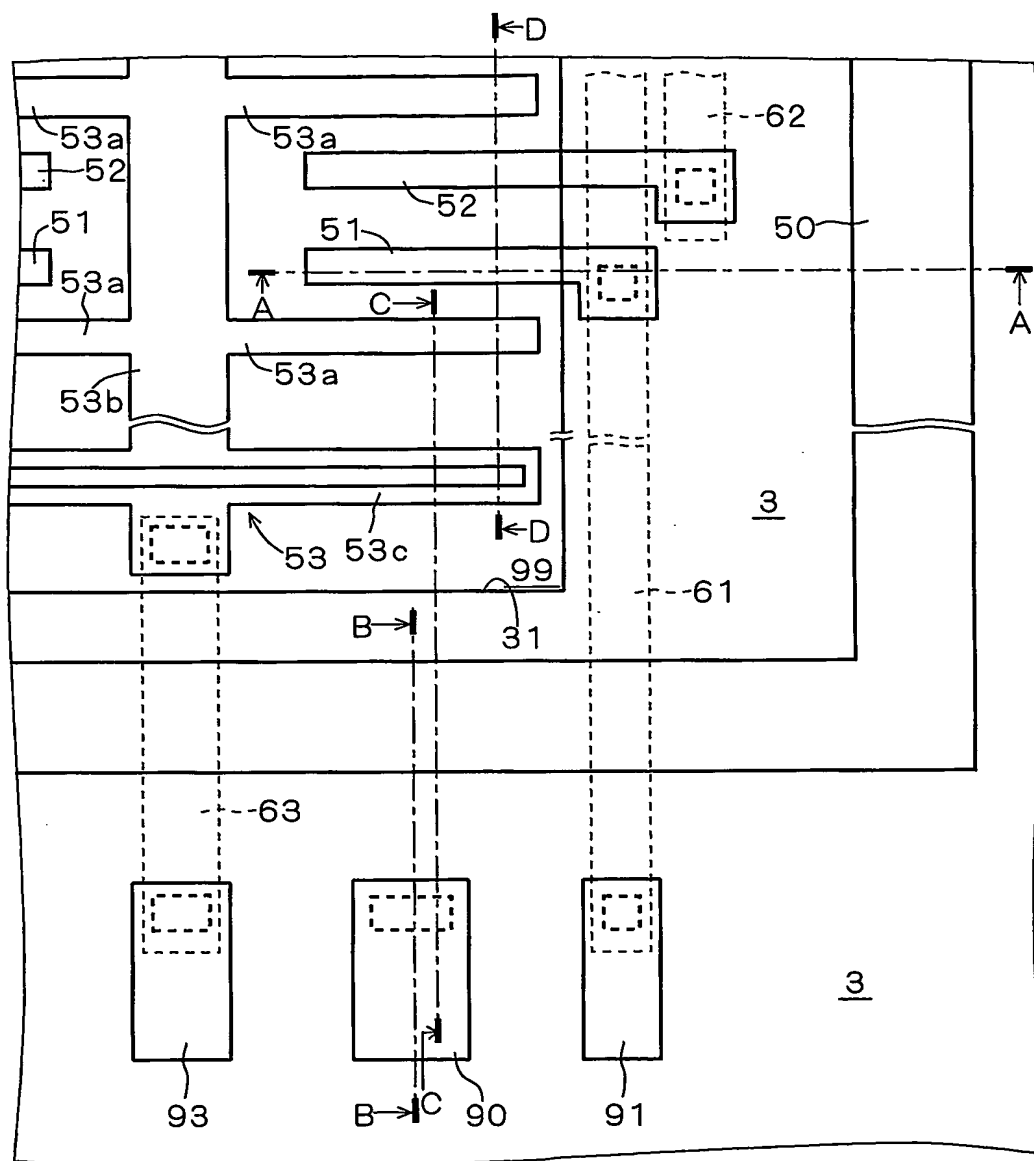
（ｆ）露出した前記半導体基板に接触する第２電極（９０）を形成する工程と、

（ｇ）前記犠牲層を除去する工程とを備える、半導体装置の製造方法。

17. 半導体基板（1）と、
前記半導体基板上に設けられた絶縁層（2）と、
前記絶縁層の上方に設けられた固定電極（51）と、
前記半導体基板に接触する基板電極（90）と
を備え、
前記半導体基板は前記基板電極と接触する凸部（1a）を有し、
前記絶縁層は前記凸部の頂面を露出し、
前記基板電極は前記凸部の前記頂面において前記半導体基板と接触する加速度
センサ。
18. 固定電極（51）と、可動電極（53）を有し、前記固定電極（51）
と、可動電極（53）との間の距離が4 μ m以下である加速度センサ。

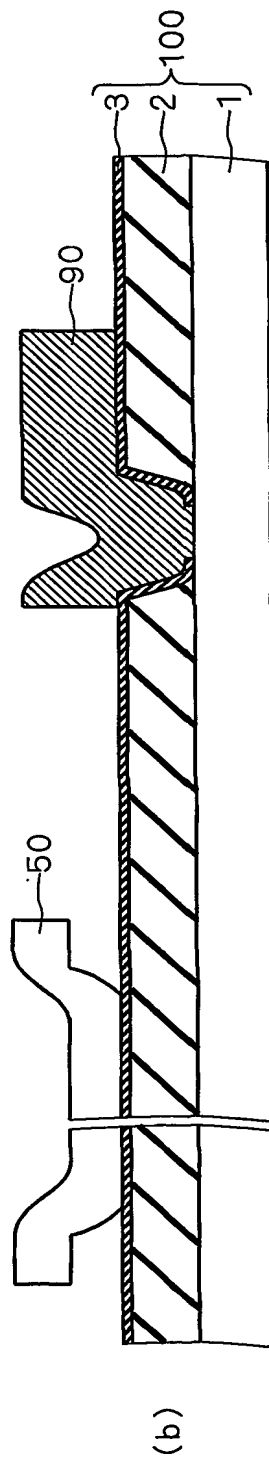
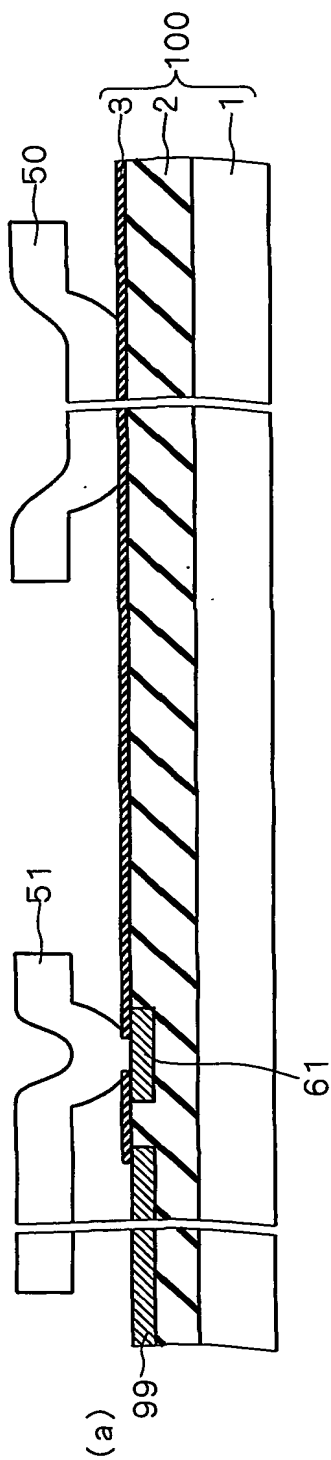
1/38

図 1



2/38

図 2



3/38

図 3

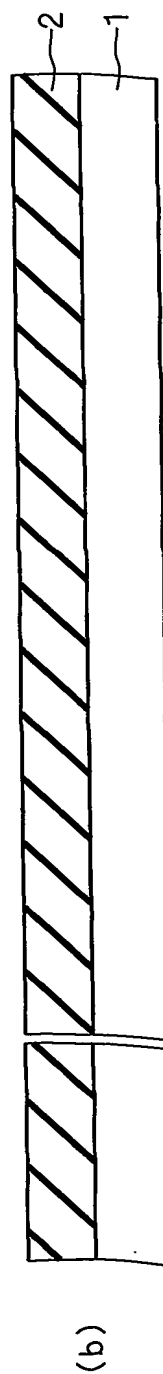
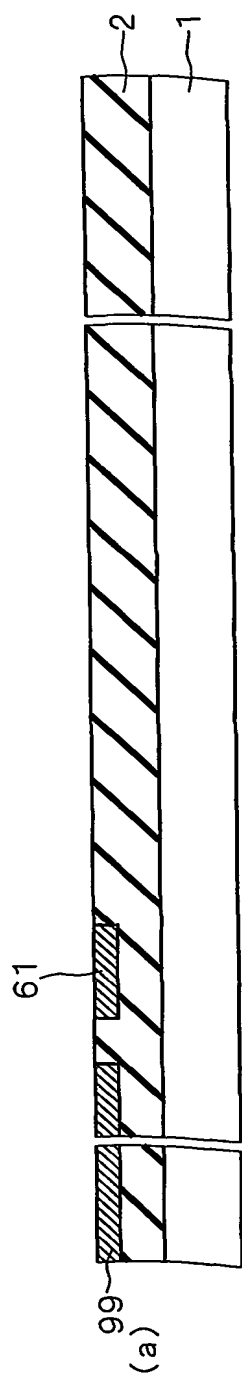
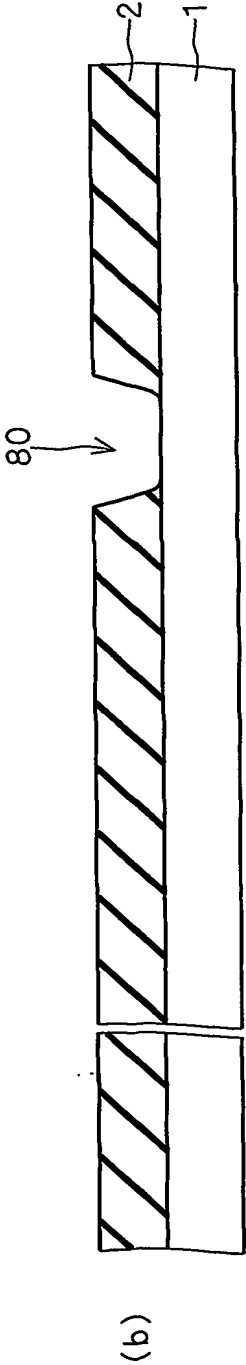
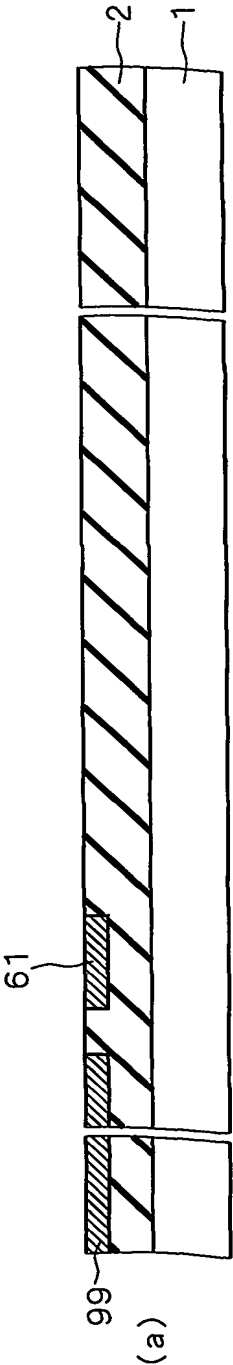
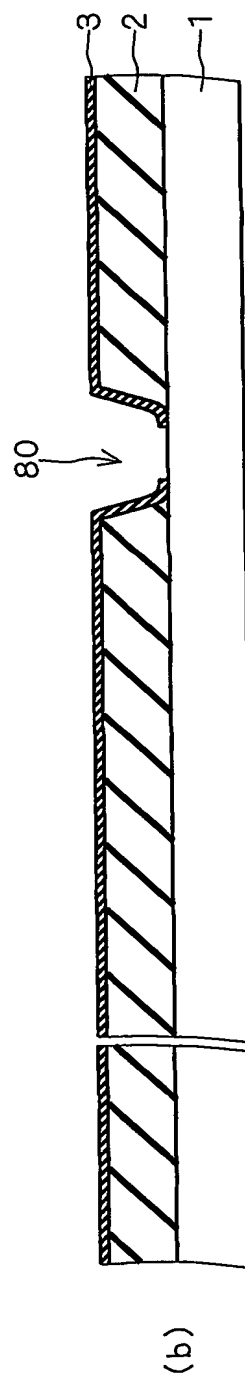
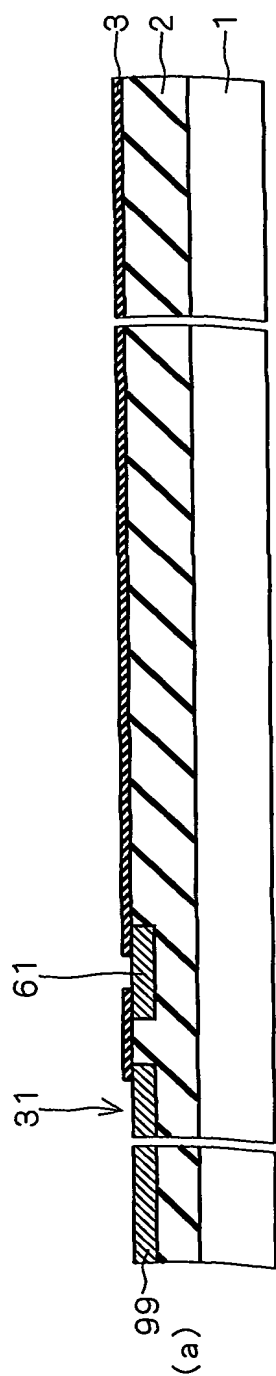


図 4



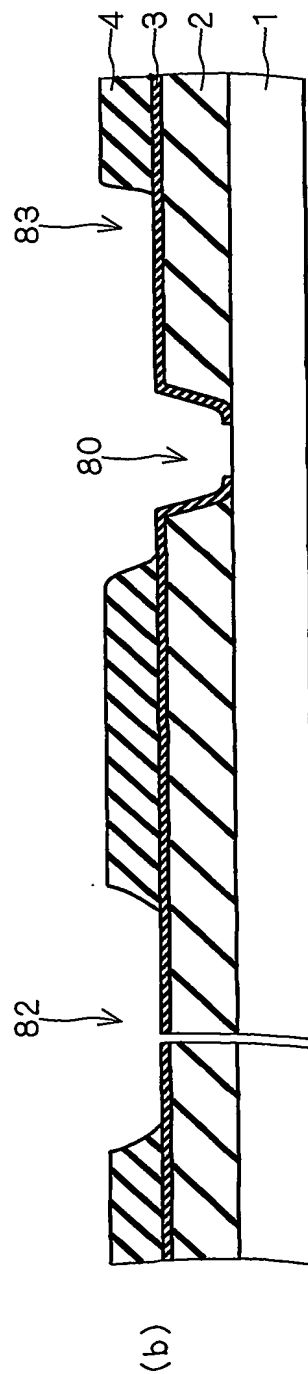
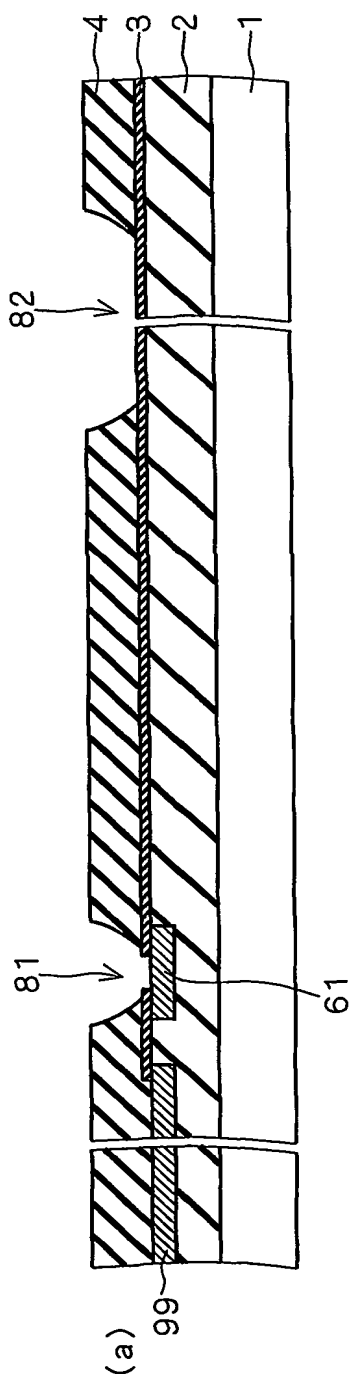
5/38

図 5



6/38

6



7

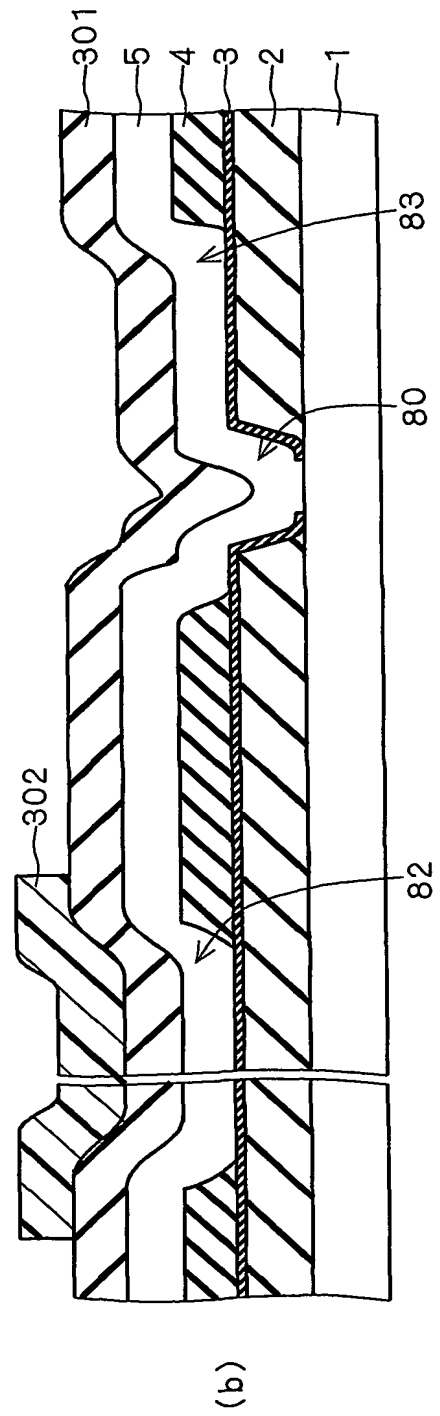
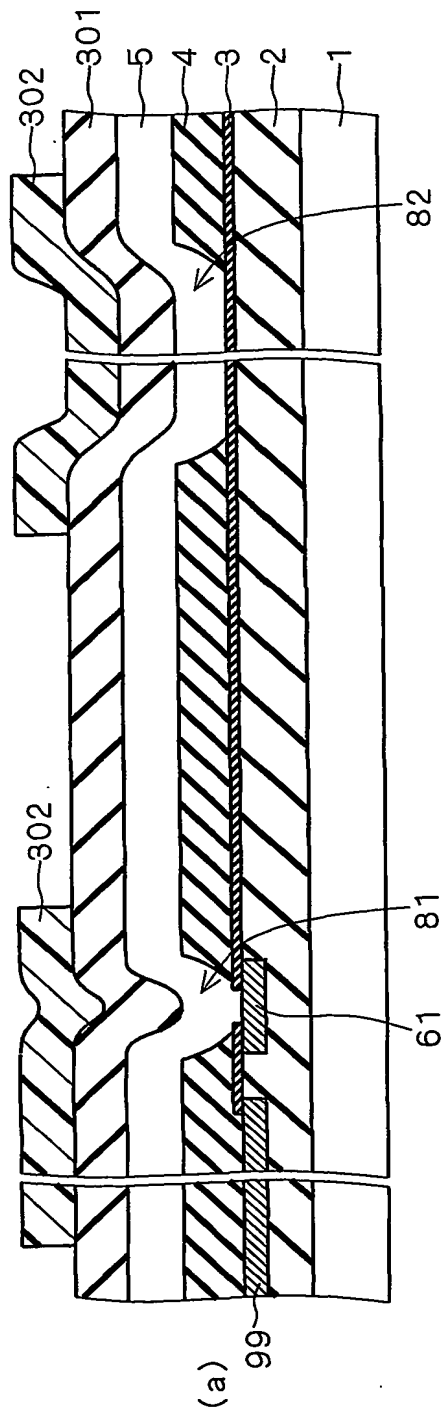
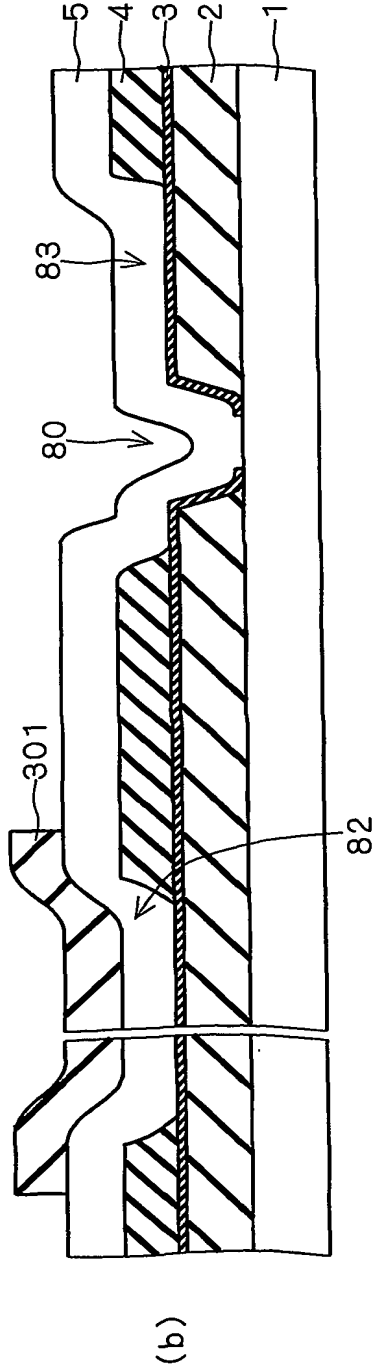
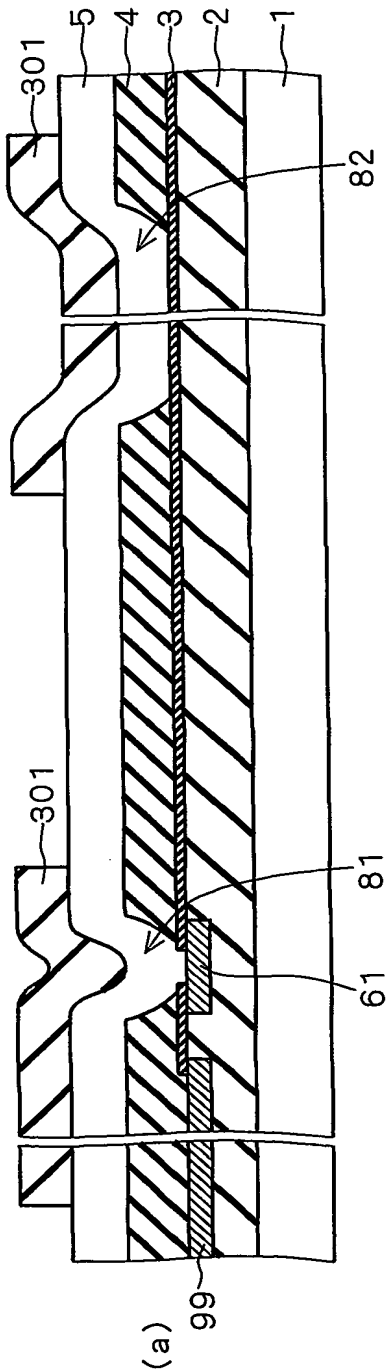


図 8



9

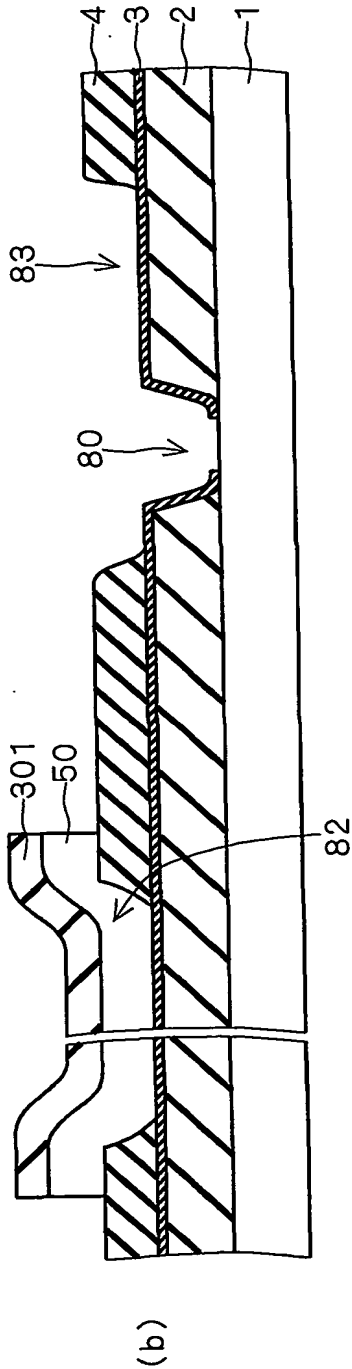
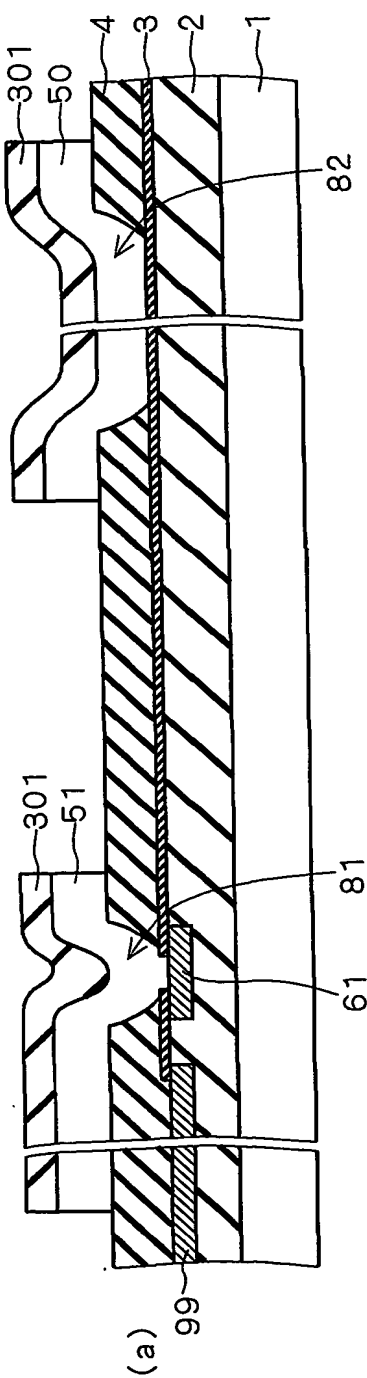
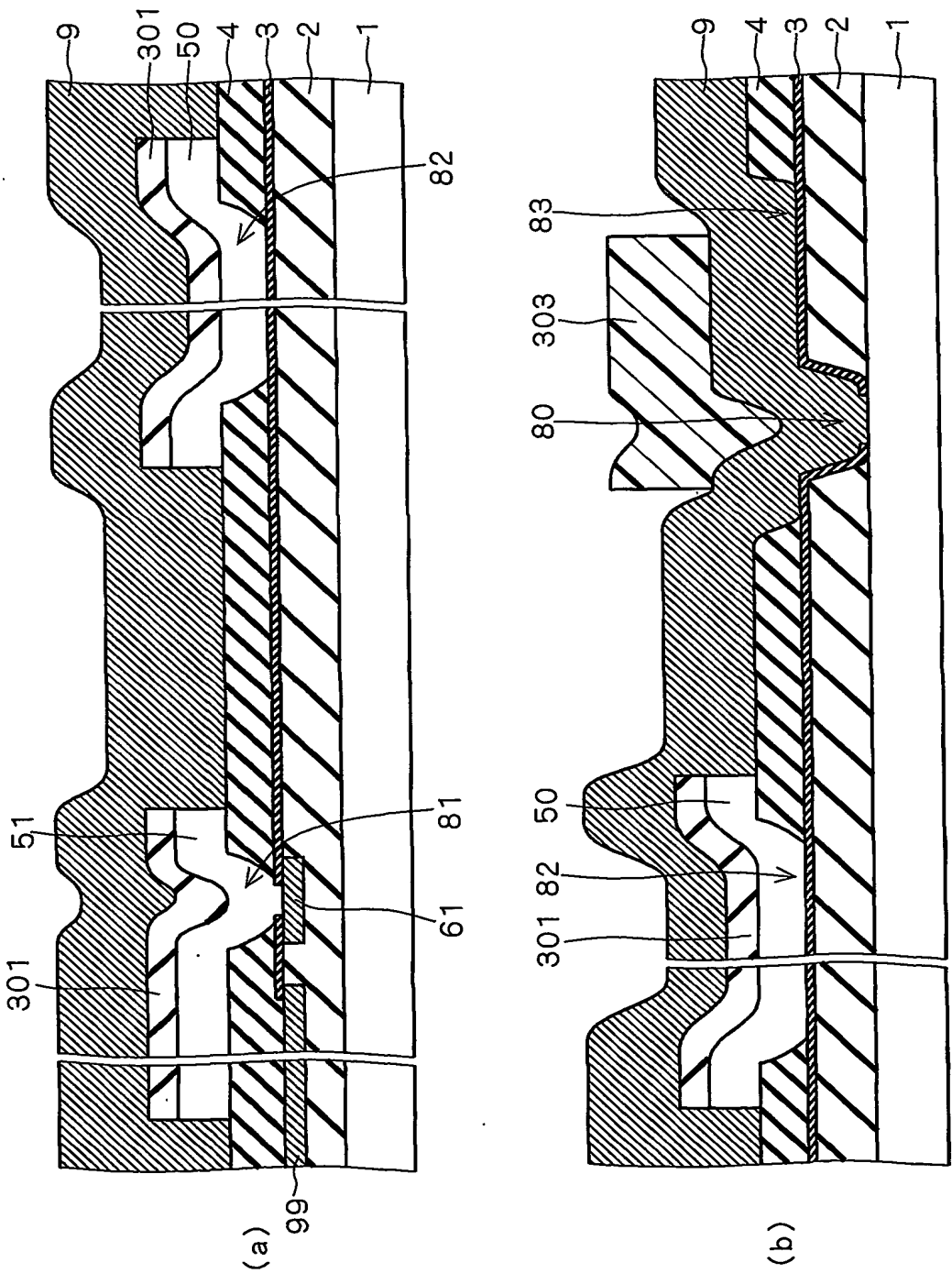
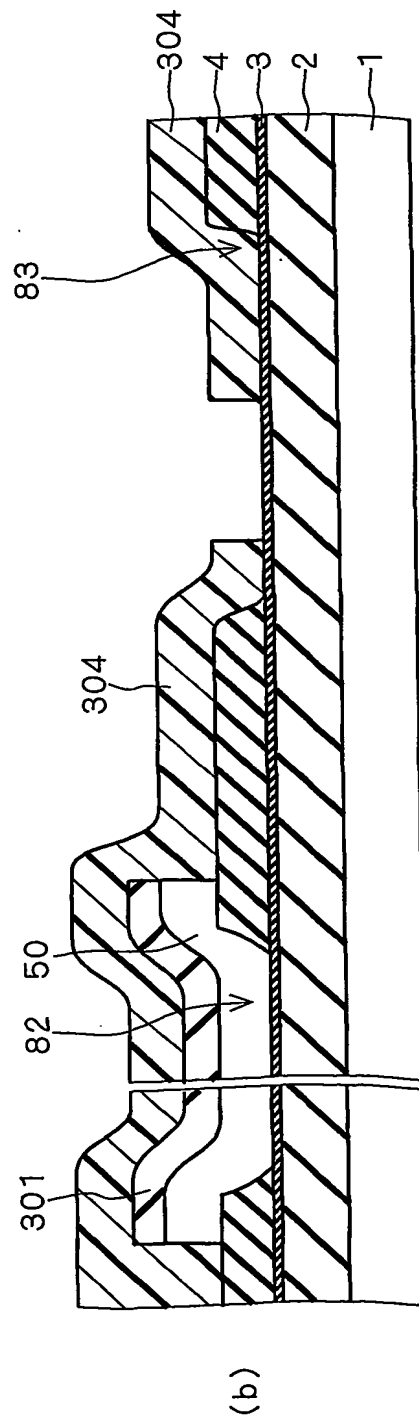
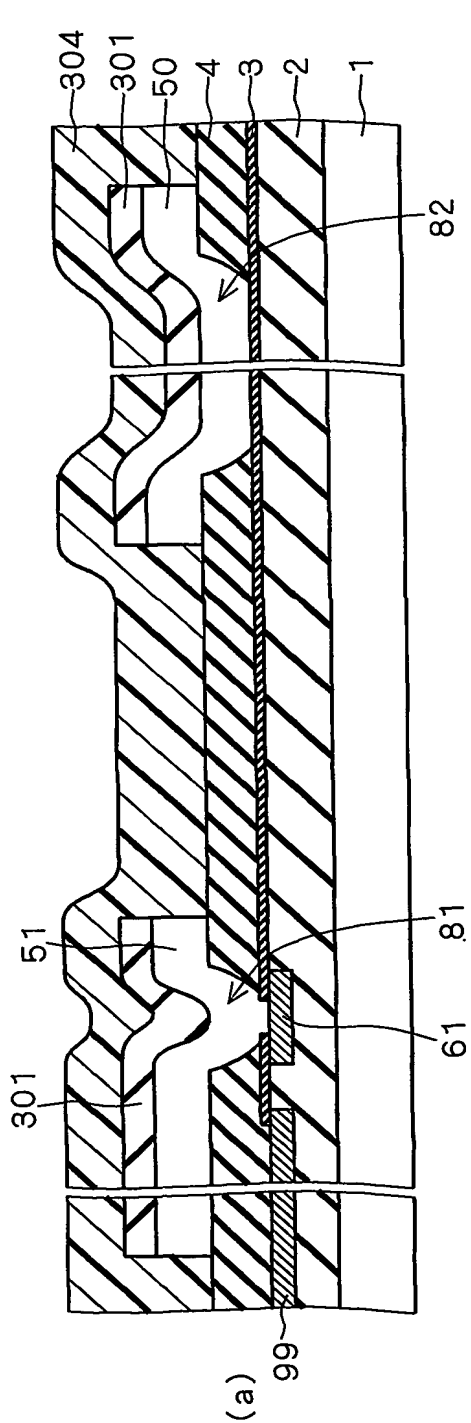


図 10



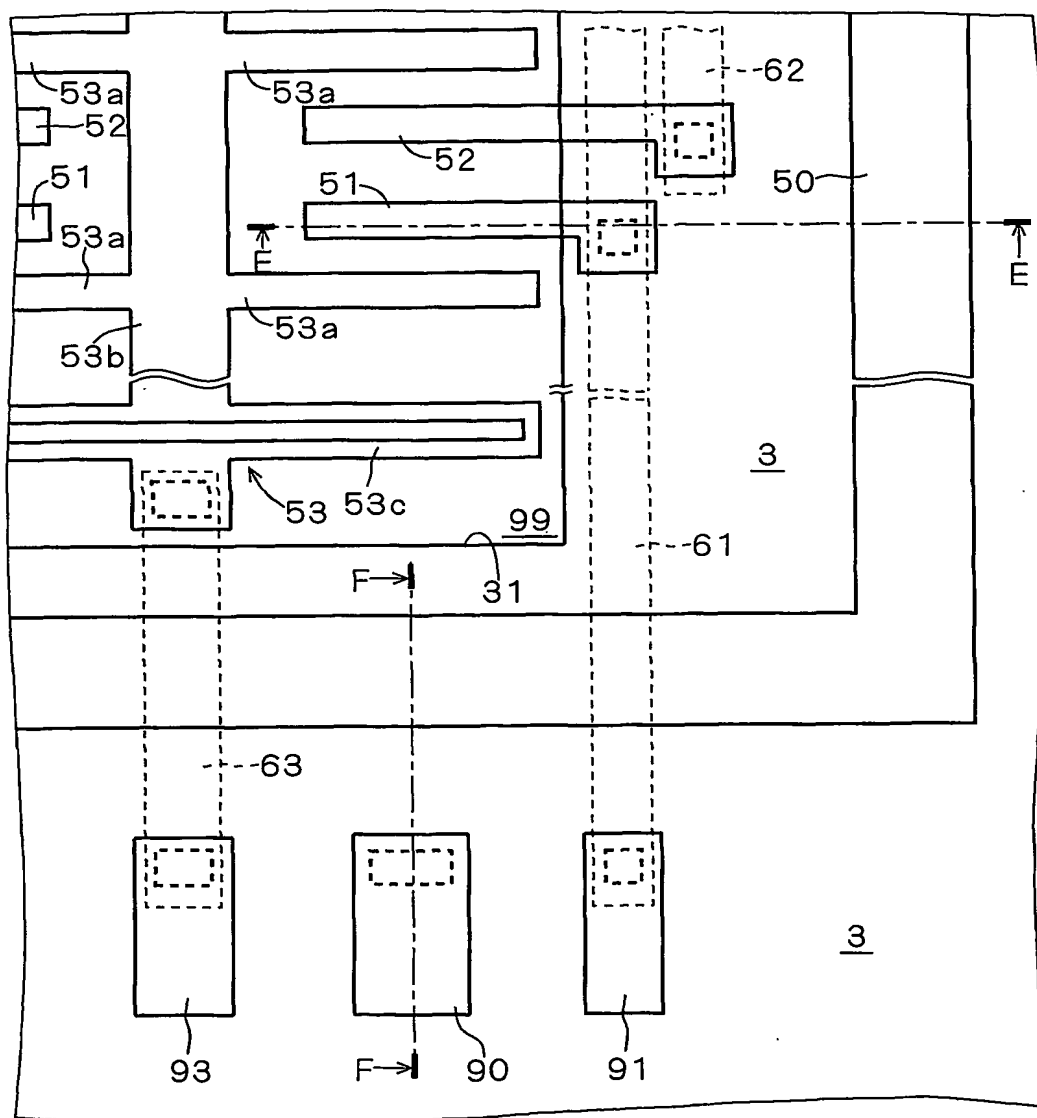
12/38

図 1 2



13/38

図 13



14/38

図 14

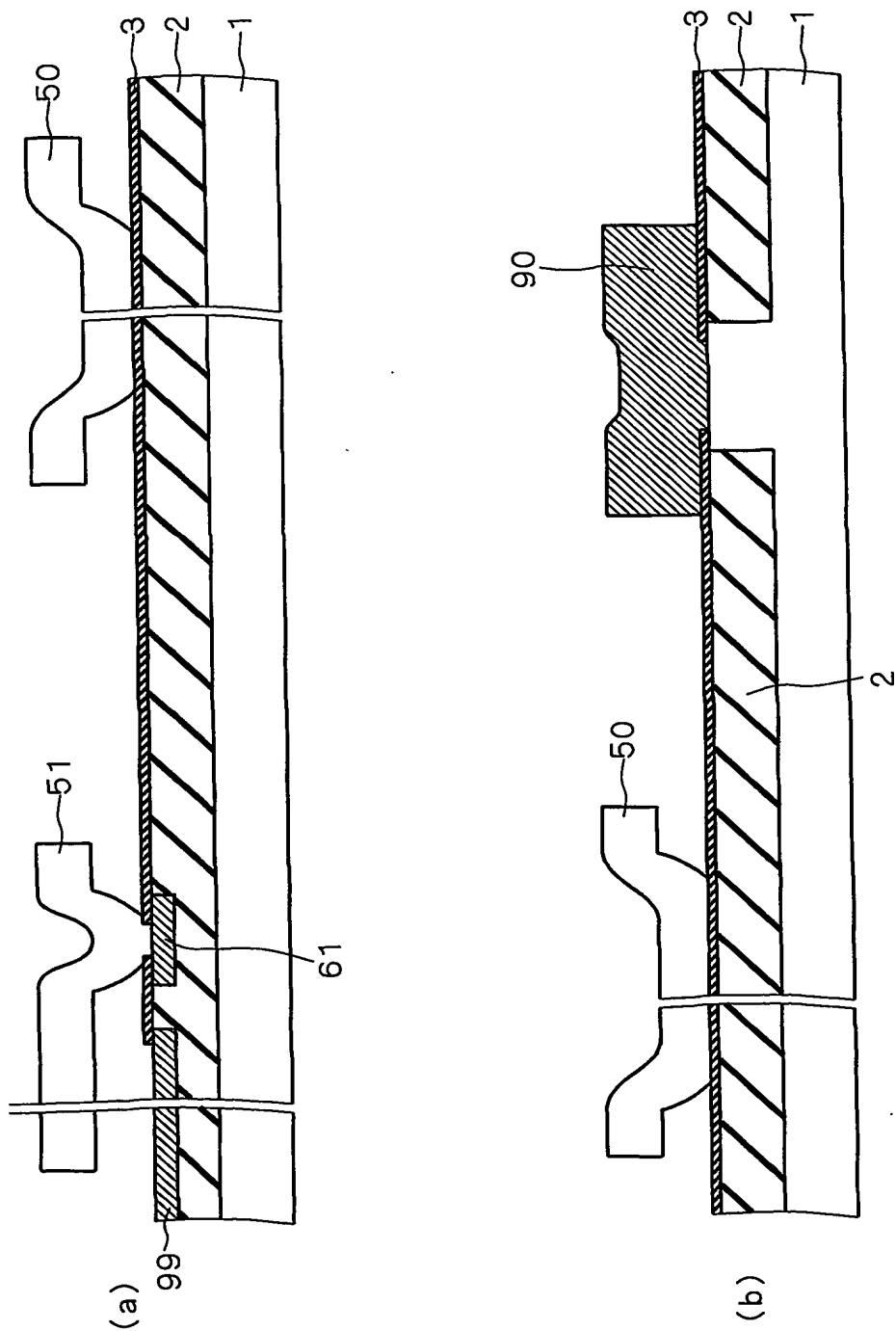
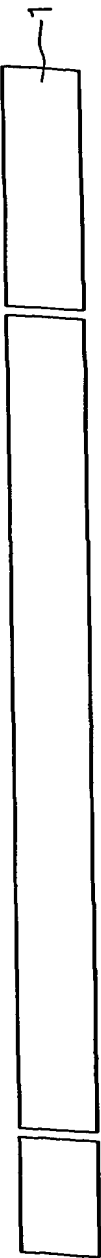
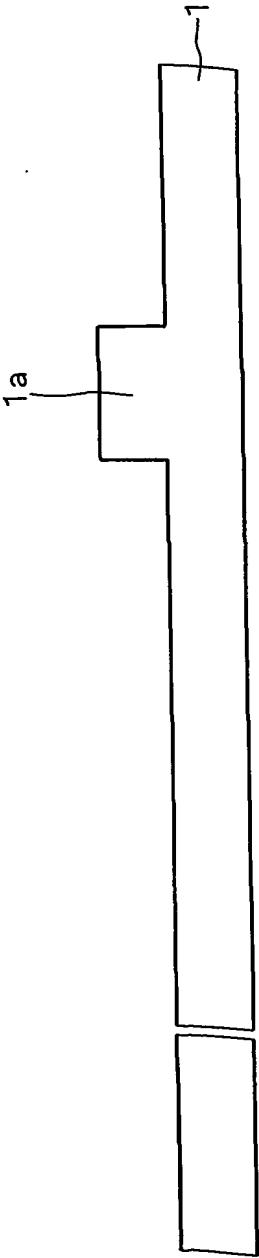


図 15

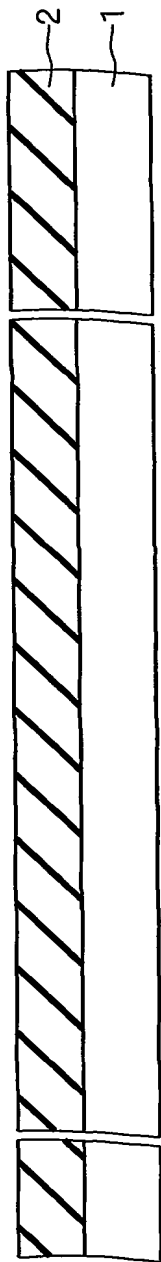


(a)

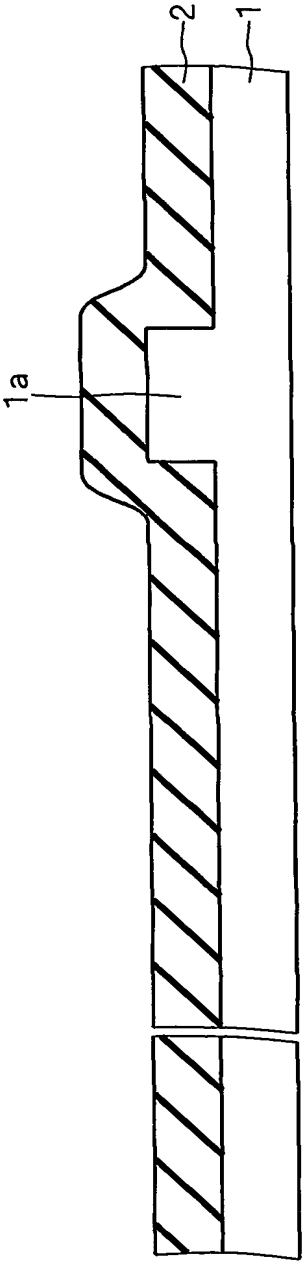


(b)

図 16



(a)



(b)

17/38

17

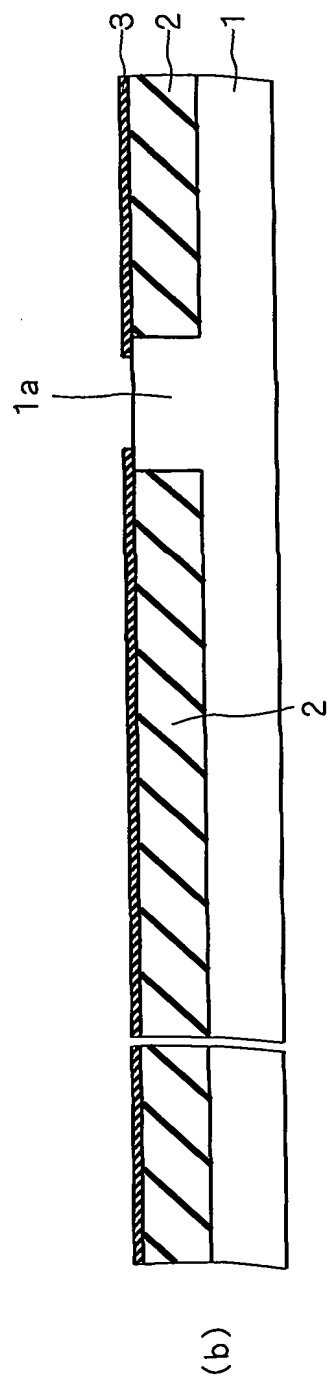
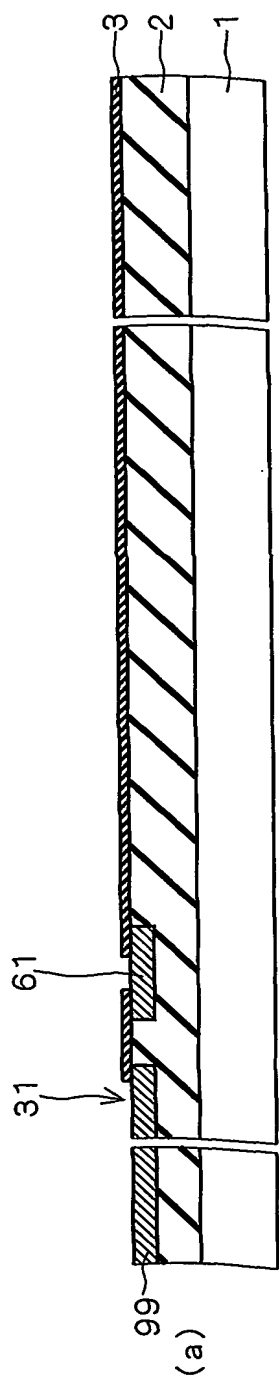


図 18

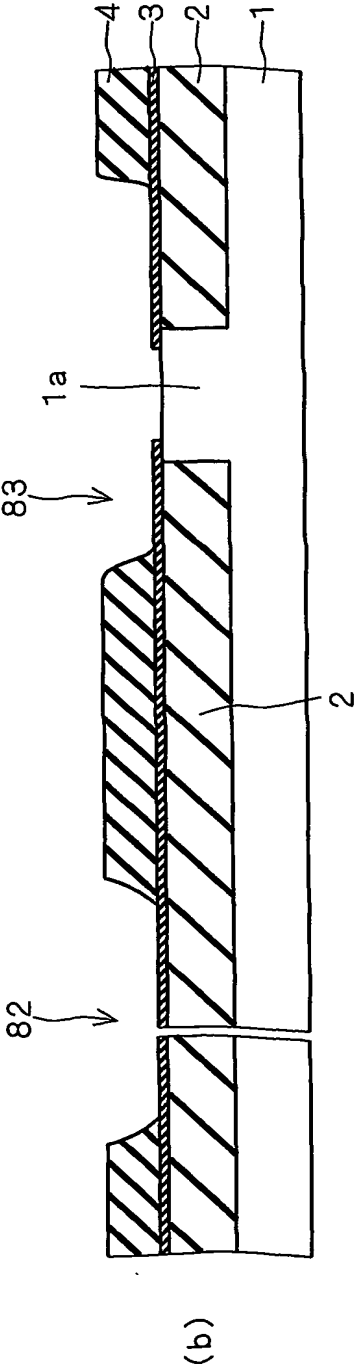
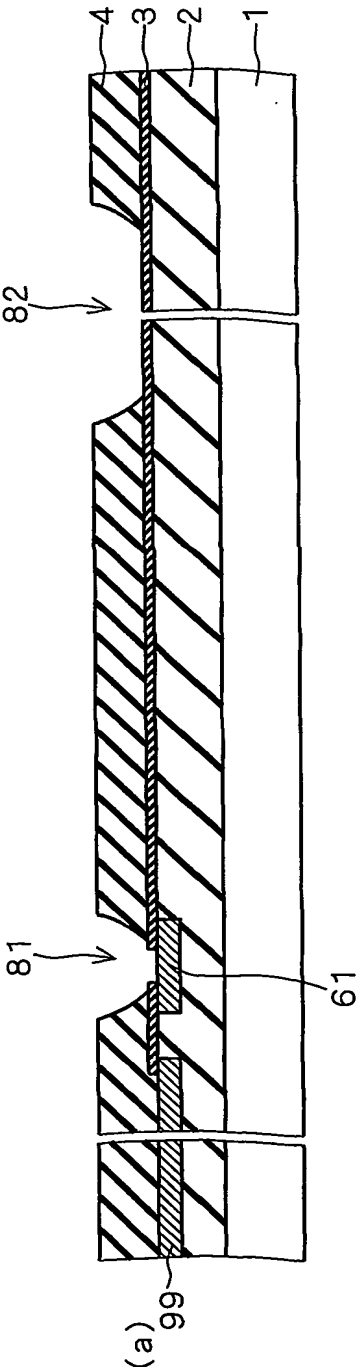
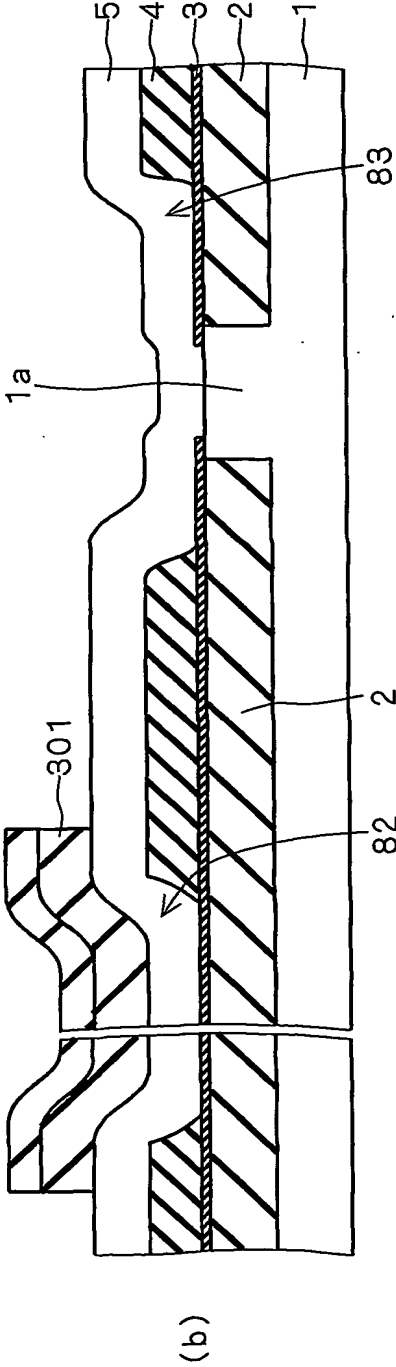
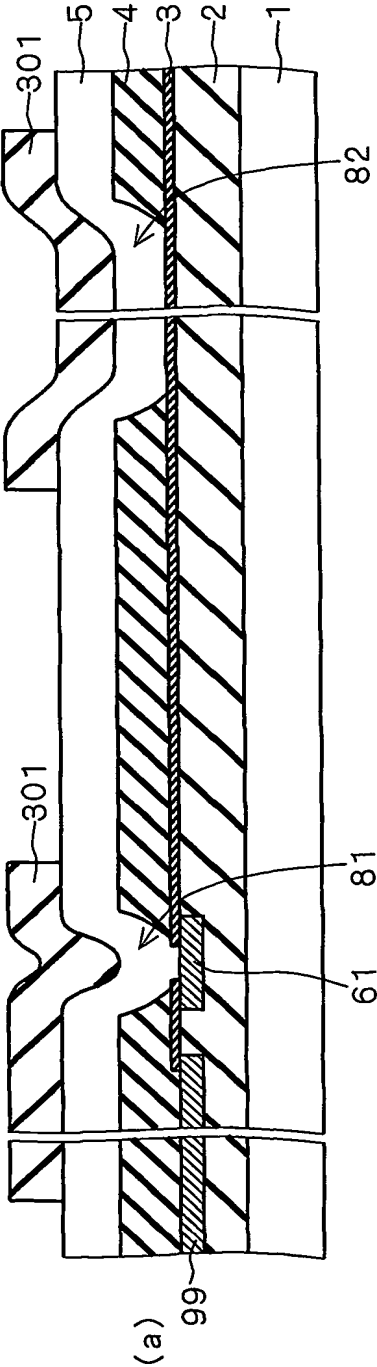


図 20



22/38

22

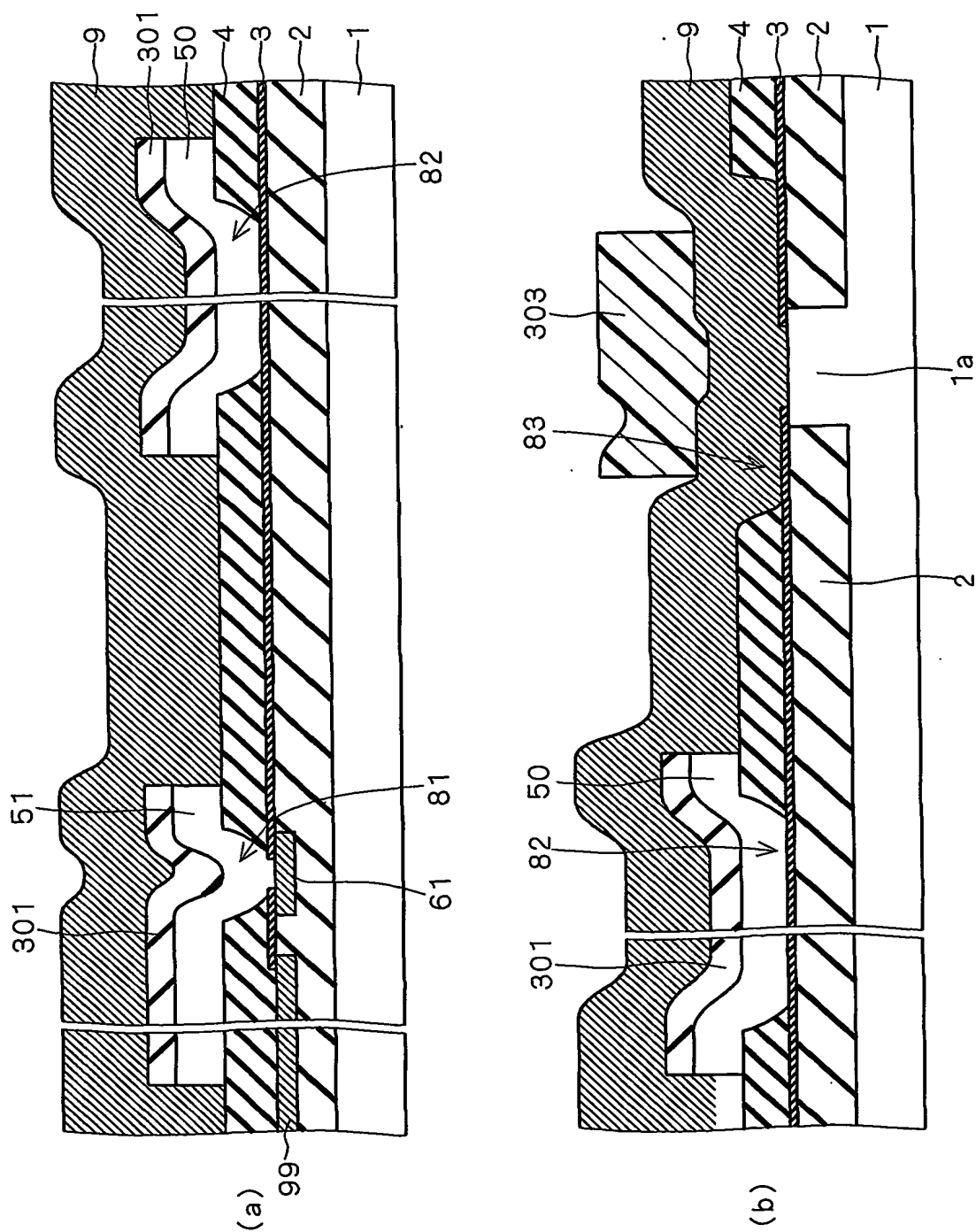
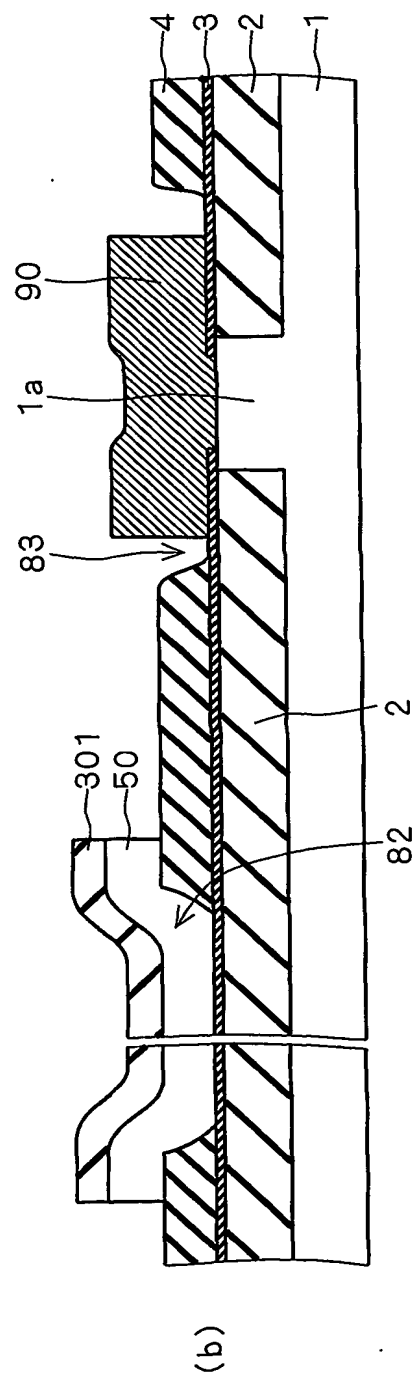
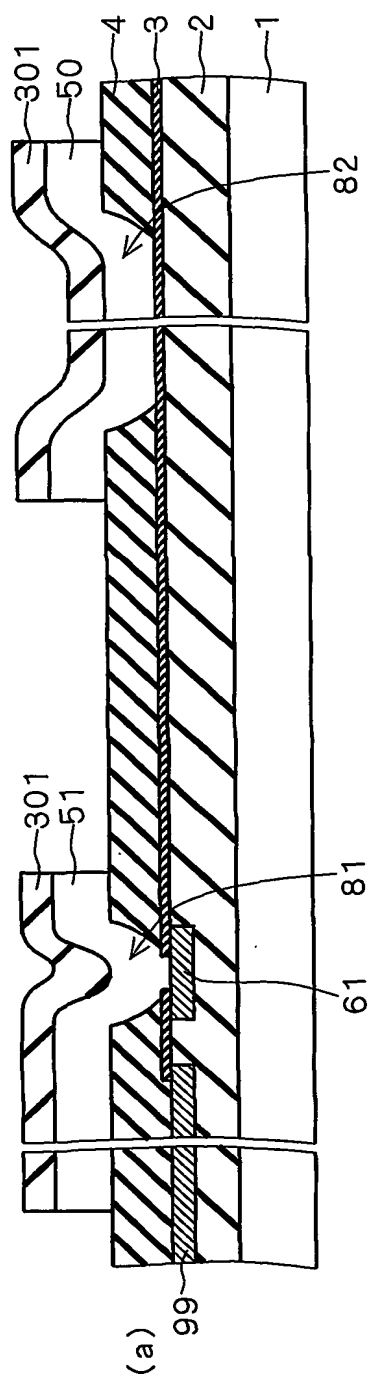
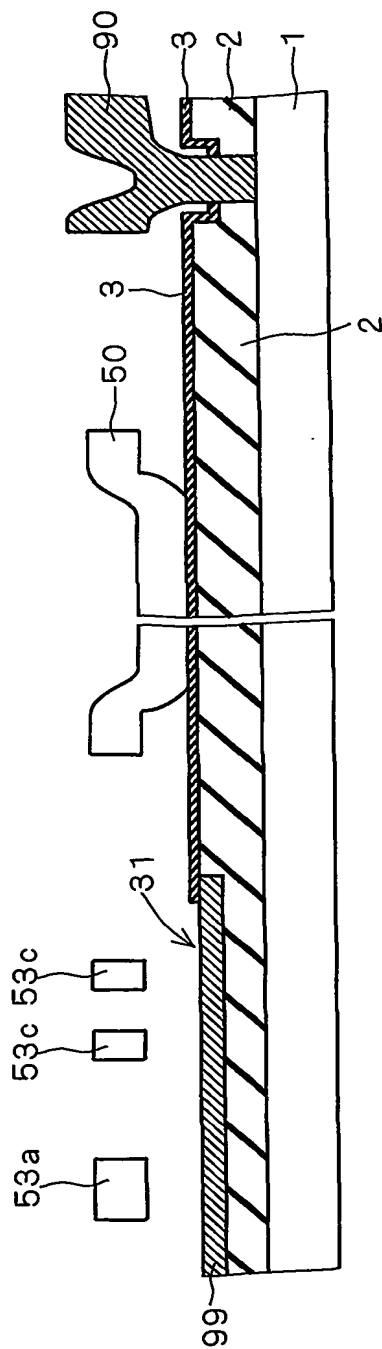


图 23



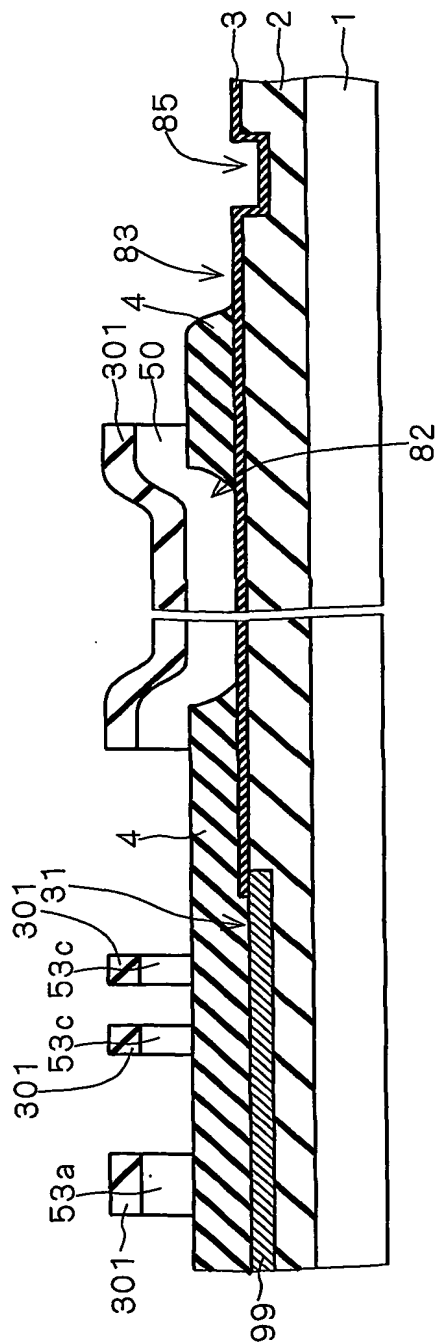
24/38

図 24



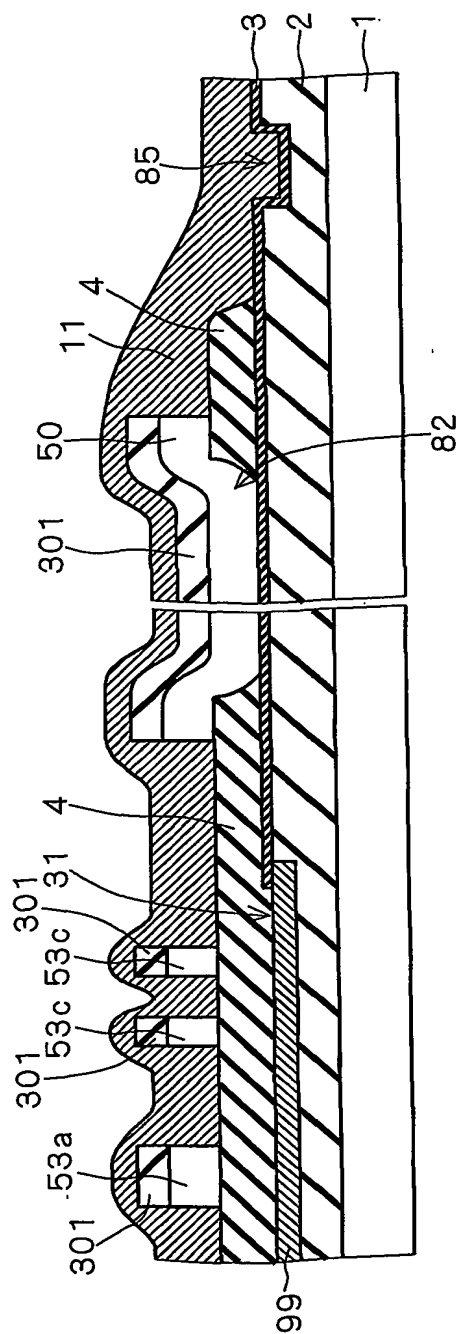
25/38

図 25



26/38

26



27/38

図 27

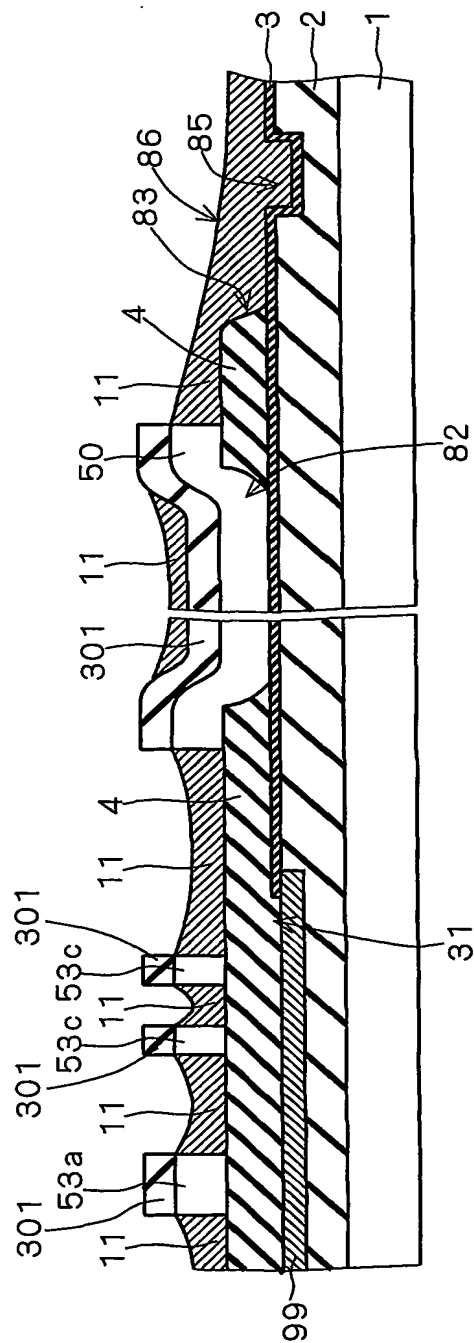
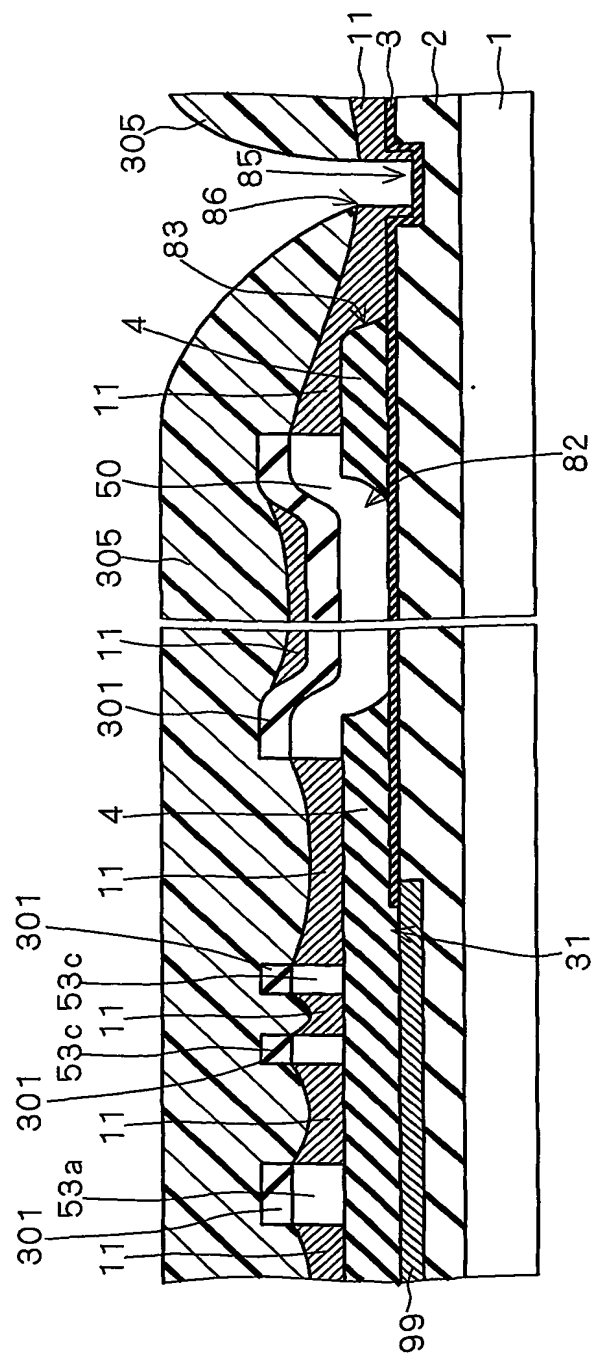
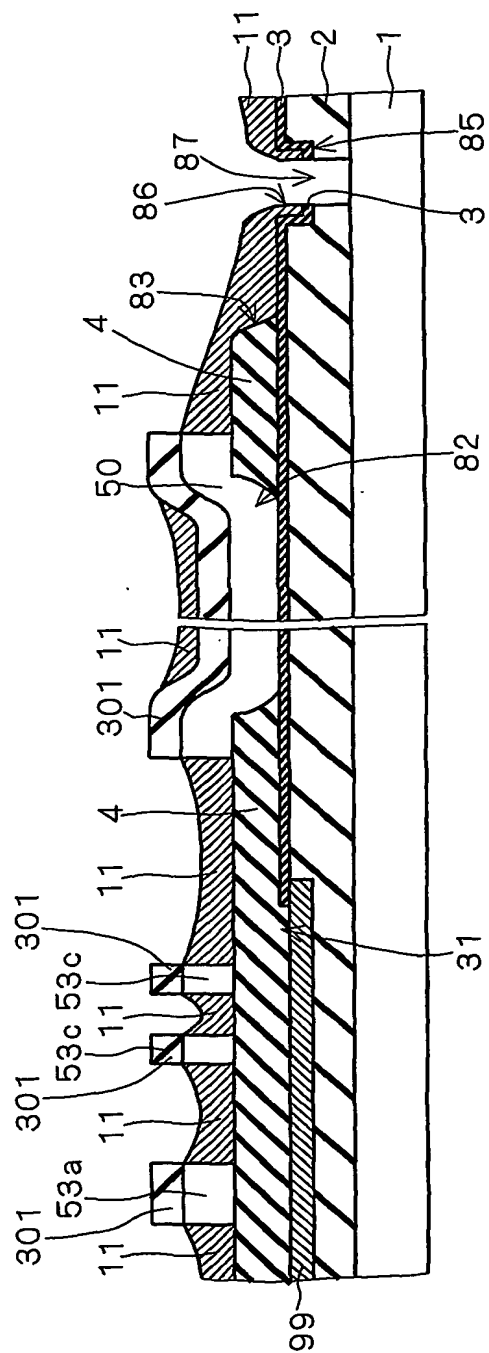


图 29



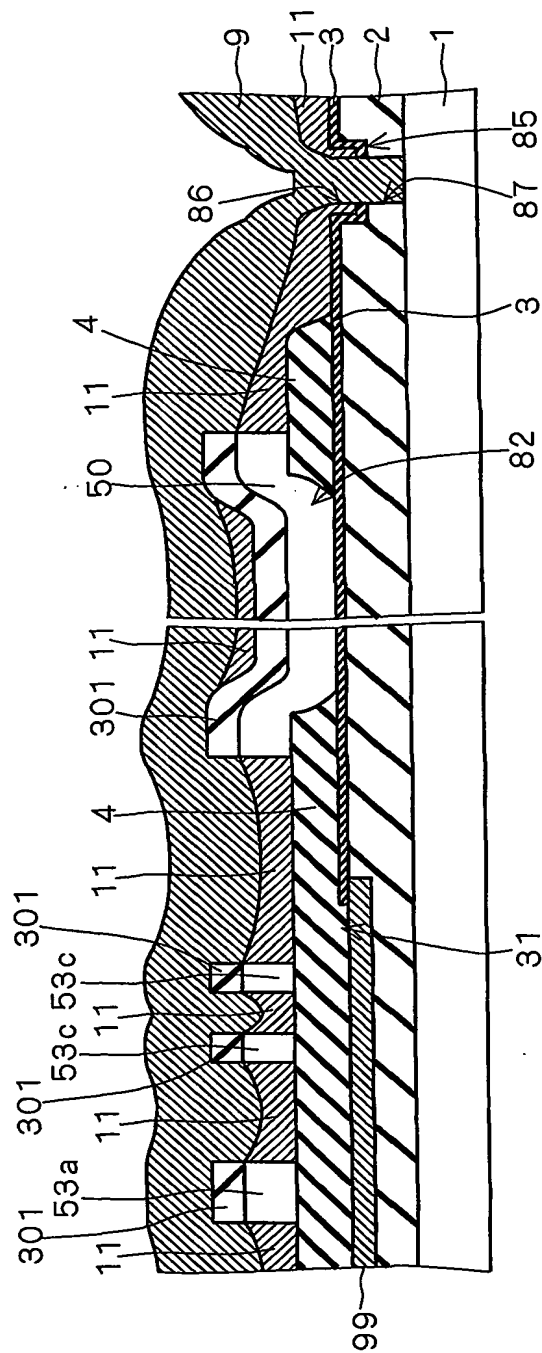
30/38

30



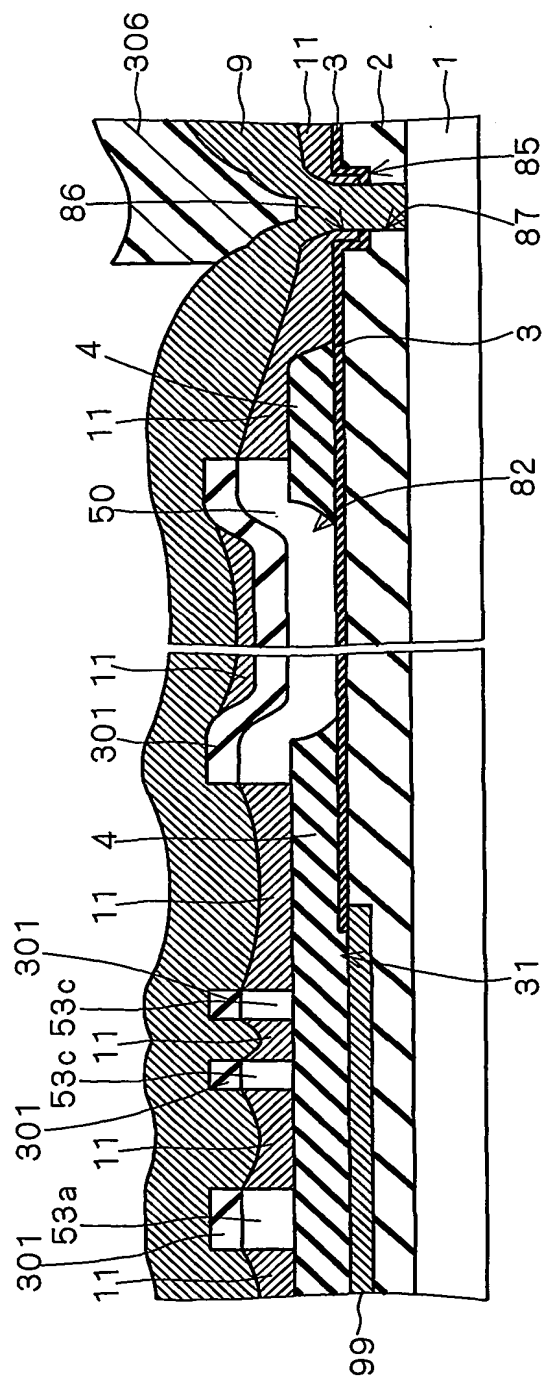
31/38

図 3 1



32/38

3 2



33

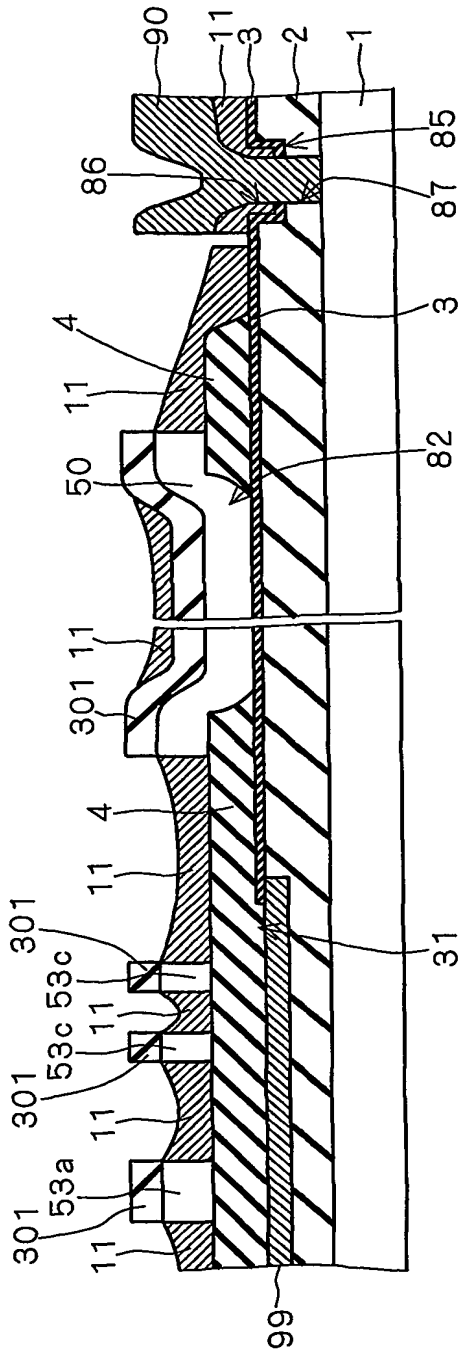
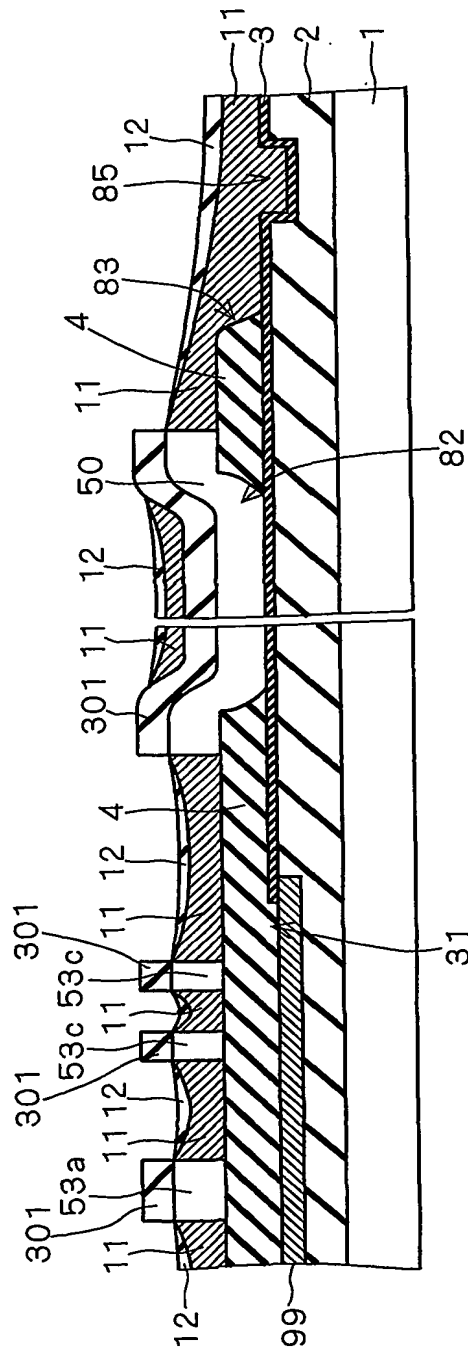
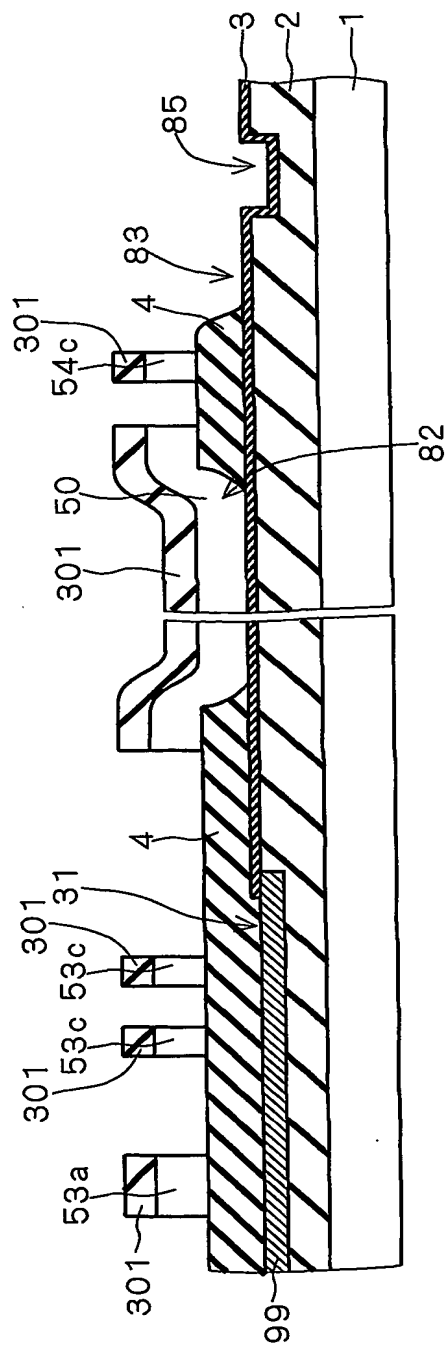


図 34



35/38

図 35



36/38

図 36

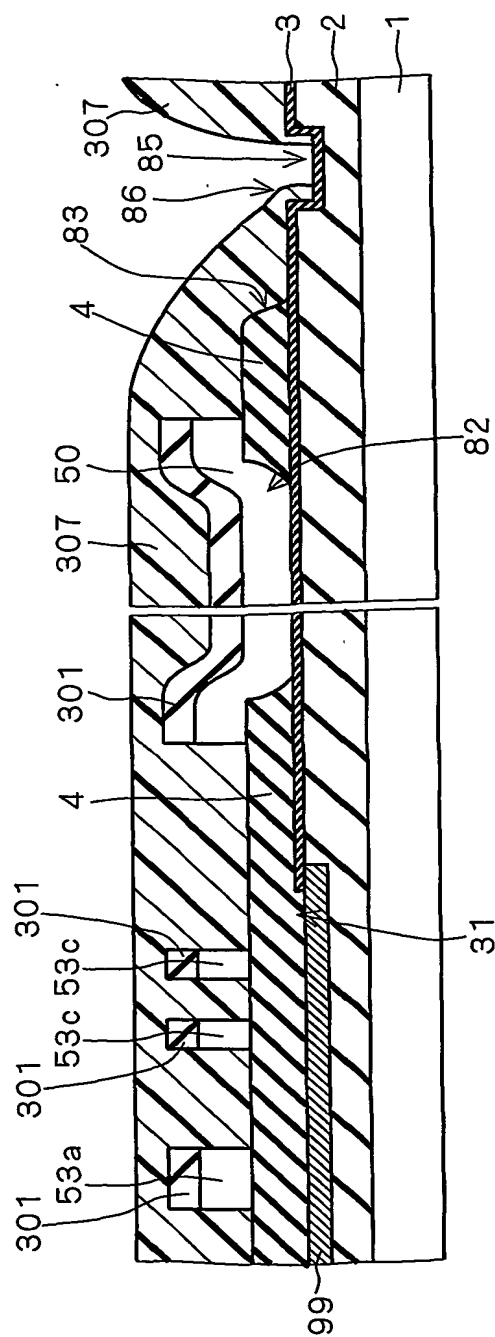
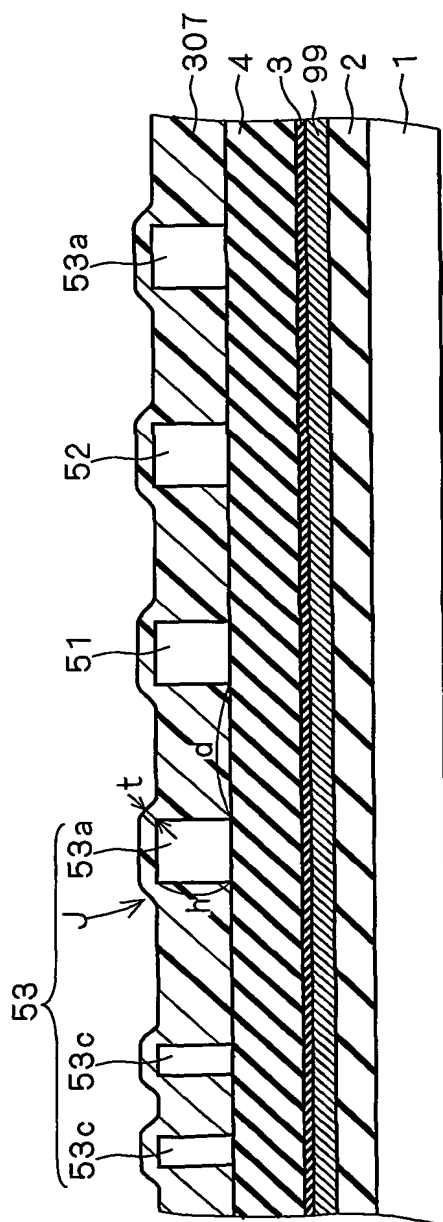
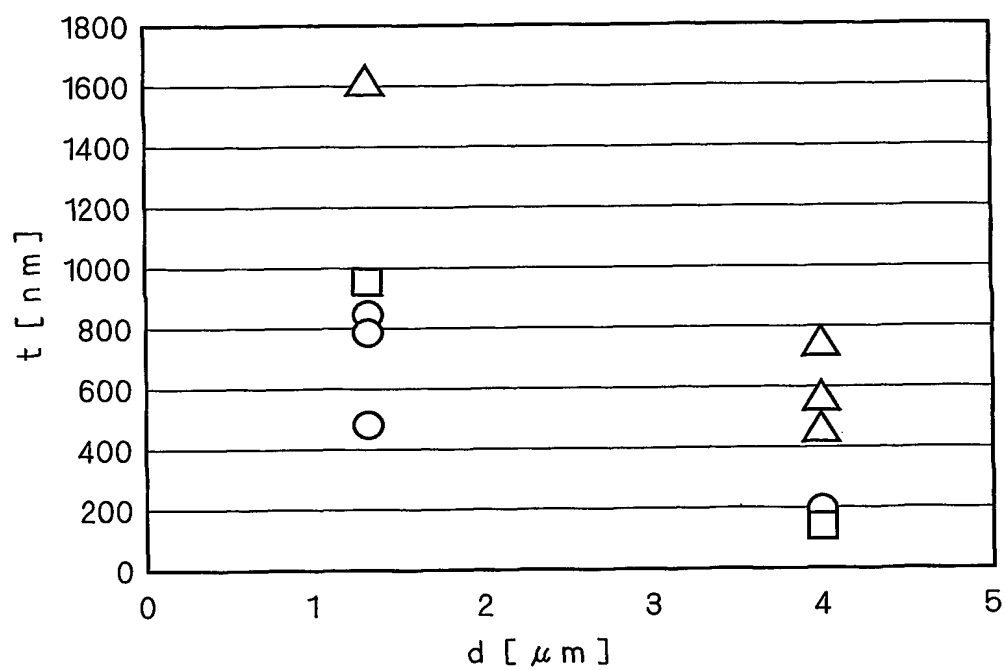


図 37



38/38

図 38



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/00859

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/84, G01P15/125

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/84, G01P15/125

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1966-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A Y X	JP 2001-281264 A (Denso Corp.), 10 October, 2001 (10.10.01), Par. Nos. [0016] to [0051]; Figs. 1 to 6 & US 2001/0025529 A1 Par. Nos. [0021] to [0065]; Figs. 1 to 9	1-16 17 18
A Y	JP 2000-074768 A (Akebono Brake Industry Co., Ltd.), 14 March, 2000 (14.03.00), Par. No. [0020]; Fig. 4 (Family: none)	1-16, 18 17
A	JP 2002-296038 A (Mitsubishi Electric Corp.), 09 October, 2002 (09.10.02), Par. No. [0020]; Figs. 1 to 8 & US 2002/0139187 A1 Full text	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

02 April, 2003 (02.04.03)

Date of mailing of the international search report

15 April, 2003 (15.04.03)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/00859

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-119040 A (Denso Corp.), 27 April, 2001 (27.04.01), Full text; Figs. 1 to 18 (Family: none)	1-18
A	US 5461916 A (Nippondenso Co., Ltd.), 31 October, 1995 (31.10.95), Full text; Figs. 1 to 31 & JP 06-123628 A Full text; Figs. 1 to 17	1-18
A	WO 93/22690 A1 (Nippondenso Co., Ltd.), 11 November, 1993 (11.11.93), Full text; Figs. 1 to 35 & JP 05-304303 A Full text; Figs. 1 to 35	1-18
A	WO 91/12497 A1 (ROBERT BOSCH GMBH), 22 August, 1991 (22.08.91), Full text; Figs. 1 to 3 & JP 05-503994 A Full text; Figs. 1 to 3	1-18
A	JP 08-274066 A (Matsushita Electric Works, Ltd.), 18 October, 1996 (18.10.96), Full text; Figs. 1 to 2 (Family: none)	1-18
A	JP 05-190690 A (Seiko Epson Corp.), 30 July, 1993 (30.07.93), Full text; Figs. 1 to 2 (Family: none)	1-18

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/84 G01P15/125

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/84 G01P15/125

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1966-1996年
 日本国公開実用新案公報 1971-2003年
 日本国実用新案登録公報 1996-2003年
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A Y X	JP 2001-281264 A (株式会社デンソー) 2001. 10. 10, 段落【0016】-【0051】, 第1-6図 &US 2001/0025529 A1, 段落【0021】-【0065】, 第1-9図	1-16 17 18
	JP 2000-074768 A (曙ブレーキ工業株式会社) 2000. 03. 14, 段落番号【0020】, 第4図 (ファミリ	

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に関する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

02.04.03

国際調査報告の発送日

15.04.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河 口 雅 英



4M

8421

電話番号 03-3581-1101 内線 3462

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	一なし)	
A		1-16, 18
Y		17
A	JP 2002-296038 A (三菱電機株式会社) 2002. 10. 09, 段落【0020】, 第1-8図 &US 2002/0139187 A1, 全文	1-18
A	JP 2001-119040 A (株式会社デンソー) 2001. 04. 27, 全文, 第1-18図 (ファミリーなし)	1-18
A	US 5461916 A (Nippondenso Co., Ltd.) 1995. 10. 31, 全文, 第1-31図 &JP 06-123628 A, 全文, 第1-17図	1-18
A	WO 93/22690 A1 (NIPPONDENSO CO., LTD.) 1993. 11. 11, 全文, 第1-35図 &JP 05-304303 A, 全文, 第1-35図	1-18
A	WO 91/12497 A1 (ROBERT BOSCH GMBH) 1991. 08. 22, 全文, 第1-3図 &JP 05-503994 A, 全文, 第1-3図	1-18
A	JP 08-274066 A (松下電工株式会社) 1996. 10. 18, 全文, 第1-2図 (ファミリーなし)	1-18
A	JP 05-190690 A (セイコーエプソン株式会社) 1993. 07. 30, 全文, 第1-2図 (ファミリーなし)	1-18